



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000172560 A

(43) Date of publication of application: 23.06.00

(51) Int. Cl. **G06F 12/06**
G06F 12/02
G06T 1/00
G06T 1/60

(21) Application number: 10344522

(22) Date of filing: 03.12.98

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **OCHIAI TOSHIYUKI**
KIMURA KOZO
HIRAI MAKOTO
KIYOHARA TOKUZO
NISHIDA HIDESHI

(54) MEMORY CONTROLLER

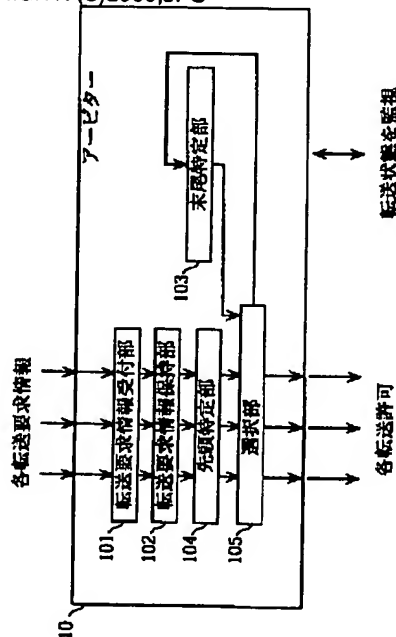
corresponding to the optimized access order.

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a device for optimizing the order of transfer to respective transfer object equipment so as not to lower a transfer rate as much as possible by providing a means for optimizing and deciding the access order of each unit access to lower the frequency of successively accessing the storage area of the same bank.

SOLUTION: An arbiter 10 is provided with a transfer request information reception part 101, a transfer request information holding part 102, an end specifying part 103, a head specifying part 104 and a selection part 105. Then, the access order of the storage area to be accessed in plural indicated by the entire transfer request information held by the transfer request information holding part 102 is optimized so as to lower the frequency of successively accessing the storage area of the same bank or to lower the frequency of successively accessing the storage area of the same bank and a different page. Then, control is performed so as to access the storage capacity of a memory

COPYRIGHT: (C)2000,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-172560

(P2000-172560A)

(43) 公開日 平成12年6月23日 (2000. 6. 23)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 6 F 12/06	5 5 0	G 0 6 F 12/06	5 5 0 A 5 B 0 4 7
12/02	5 9 0	12/02	5 9 0 B 5 B 0 6 0
G 0 6 T 1/00		15/64	
1/60			4 5 0 F

審査請求 未請求 請求項の数13 O L (全 26 頁)

(21) 出願番号 特願平10-344522

(22) 出願日 平成10年12月3日 (1998. 12. 3)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 落合 利之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 木村 浩三

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100090446

弁理士 中島 司朗 (外1名)

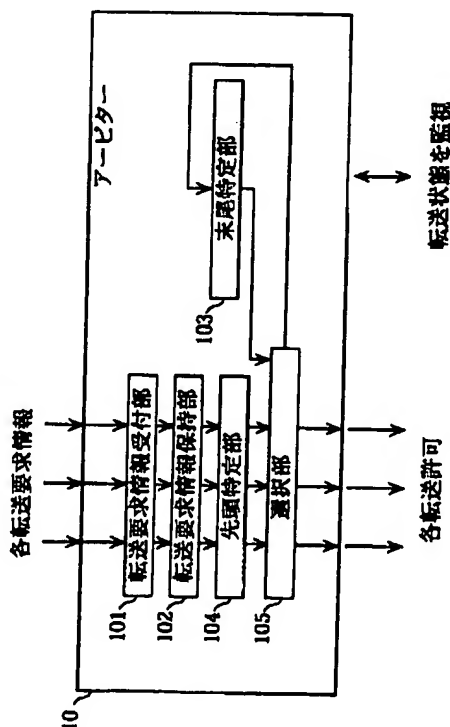
最終頁に続く

(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 SDRAM等に対する転送レートを極力低下させないように転送の順序を適正化するメモリ制御装置を提供する。

【解決手段】 複数のバンクに区分された記憶領域を有するメモリを制御する装置であって、各バンクは複数のページに分割され、メモリは同一バンクで且つ異なるページの記憶領域に対するアクセスが連続すると遅延が生じるものであり、各転送要求情報を受け付ける転送要求情報受付部101と、現在アクセス中又は先にアクセスされるべき先行転送要求情報において最後にアクセスされるべき末尾バンクを特定する末尾特定部103と、転送要求情報毎に最初にアクセスされるべき先頭バンクを特定する先頭特定部104と、末尾バンクと異なるバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域のアクセスを末尾バンクと同じバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域のアクセスよりも優先的に選択する選択部105とを備える。



【特許請求の範囲】

【請求項1】 複数のバンクに区分された記憶領域を有するメモリを制御する装置であって、前記複数のバンクはそれぞれ、複数の分割バンクに分割され、

前記メモリは、同一バンクで且つ異なる分割バンクの記憶領域に対するアクセスが連続すると、遅延が生じるものであり、

複数の単位アクセスに分けてアクセスすべき、2つ以上のバンクの記憶領域を示すアクセス情報を、外部装置から受け付ける受付手段と、

前記アクセス情報が示す、各単位アクセスの記憶領域が区分される各バンクが同一であるか異なるかに基づいて、各単位アクセスのアクセス順序を、同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように適正化して決定する適正化手段と、

前記メモリの記憶領域が、適正化手段が適正化して決定したアクセス順序に従ってアクセスされるように前記メモリを制御する制御手段とを備えることを特徴とするメモリ制御装置。

【請求項2】 前記適正化手段は、

前記アクセス情報が示す、各単位アクセスの記憶領域が区分される各バンク及び各分割バンクが同一であるか異なるかに基づいて、各単位アクセス前記各単位アクセスのアクセス順序を、同一バンクの記憶領域に対してではなく、同一バンクで且つ異なる分割バンクの記憶領域に対して連続してアクセスする頻度が低くなるように適正化して決定することを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】 前記外部装置は、1つ以上の転送対象機器から成り、

前記アクセス情報は、前記転送対象機器から発行される2つ以上の個別アクセス情報から成り、

前記個別アクセス情報はそれぞれ、1つ以上の単位アクセスから成り、

前記適正化手段は、

現在アクセス中、又は、先にアクセスされるべき先行個別アクセス情報において、最後にアクセスされるべき末尾バンクを特定する末尾特定手段と、

前記個別アクセス情報毎に、最初にアクセスされるべき先頭バンクを特定する先頭特定手段と、

末尾バンクと異なるバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域のアクセスを、末尾バンクと同じバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域のアクセスよりも優先的に選択して、前記先行個別アクセス情報が示す記憶領域のアクセスの直後の順序とする選択手段とを含むことを特徴とする請求項1に記載のメモリ制御装置。

【請求項4】 前記末尾特定手段は、さらに、

前記先行個別アクセス情報において、最後にアクセスさ

れるべき末尾分割バンクを特定し、

前記先頭特定手段は、さらに、

前記個別アクセス情報毎に、最初にアクセスされるべき先頭分割バンクを特定し、

前記選択手段は、

末尾バンクと異なるバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域、及び、末尾分割バンクと同一分割バンクを示す先頭分割バンクに対応する個別アクセス情報が示す記憶領域のアクセスを、末尾バンクと同一バンクを示す先頭バンクに対応し、且つ、末尾分割バンクと異なる分割バンクを示す先頭分割バンクに対応する個別アクセス情報が示す記憶領域のアクセスよりも優先的に選択して、前記先行個別アクセス情報が示す記憶領域のアクセスの直後の順序とすることを特徴とする請求項3に記載のメモリ制御装置。

【請求項5】 前記個別アクセス情報はそれぞれ、転送待ちの時間的な限度を示す限度情報を含み、

前記選択手段は、個別アクセス情報毎に、限度情報が示す限度を越えそうであるか否かを判定し、限度を越えそうであると判定した個別アクセス情報が示す記憶領域のアクセスを、最優先で選択することを特徴とする請求項3及び4の何れか1項に記載のメモリ制御装置。

【請求項6】 前記メモリは、バンク毎に所定の1分割バンクのデータを保持する転送用アンブを備え、前記メモリの記憶領域へのアクセスは、常に転送用アンブを介して行なわれるものであり、

前記遅延は、「転送用アンブに保持されたデータを、直前のアクセス対象の1分割バンクへ転送するのに必要な時間」と、「現在のアクセス対象の1分割バンクに記憶されたデータを、転送用アンブへ転送するのに必要な時間」との合計であり、

前記限度情報は、個別アクセス情報が発行されてから転送が完了するまでに許されるサイクル数の限度を示すリミットサイクル数であり、

前記選択手段は、

個別アクセス情報毎に、現時点から転送が完了するまでに許されるサイクル数の限度を示す残りサイクル数を保持する残りサイクル数保持手段と、

個別アクセス情報が発行された時にリミットサイクル数を残りサイクル数の初期値として残りサイクル数保持手段に保持させる初期値設定手段と、

残りサイクル数保持手段が保持する残りサイクル数を、1サイクル毎に1づつ減算する減算手段と、

個別アクセス情報毎に、「(実行中のアクセスが完了するまでのサイクル数)+(優先的に選択された個別アクセス情報のアクセスに必要なサイクル数)+(転送用アンブに保持されたデータを、所定の1分割バンクへ転送するのに必要なサイクル数)+(所定の1分割バンクに記憶されたデータを、転送用アンブへ転送するのに必要なサイクル数)+(自身のアクセスに必要なサイクル

数) = 完了予定サイクル数」を実行中のアクセスが完了するまでに計算する計算手段と、

「前記完了予定サイクル数 > 前記残りサイクル数」の場合に、対応する個別アクセス情報が限度を越えそうであると判定する判定手段とを含むことを特徴とする請求項5に記載のメモリ制御装置。

【請求項7】 前記メモリは、バンク毎に所定の1分割バンクのデータを保持する転送用アンプを備え、前記メモリの記憶領域へのアクセスは、常に転送用アンプを介して行なわれるものであり、

前記遅延は、「転送用アンプに保持されたデータを、直前のアクセス対象の1分割バンクへ転送するのに必要な時間」と、「現在のアクセス対象の1分割バンクに記憶されたデータを、転送用アンプへ転送するのに必要な時間」との合計であり、

前記限度情報は、個別アクセス情報が発行されてから転送が完了するまでに許されるサイクル数の限度を示すリミットサイクル数であり、

前記選択手段は、

個別アクセス情報毎に、その個別アクセス情報が発行された時から1サイクル毎に待機サイクル数をカウントするカウント手段と、

個別アクセス情報毎に、「(前記待機サイクル数) + (実行中のアクセスが完了するまでのサイクル数) + (優先的に選択された個別アクセス情報のアクセスに必要なサイクル数) + (転送用アンプに保持されたデータを、所定の1分割バンクへ転送するのに必要なサイクル数) + (所定の1分割バンクに記憶されたデータを、転送用アンプへ転送するのに必要なサイクル数) + (自身のアクセスに必要なサイクル数) = 完了予定サイクル数」を実行中のアクセスが完了するまでに計算する計算手段と、

「前記完了予定サイクル数 > 前記リミットサイクル数」の場合に、対応する個別アクセス情報が限度を越えそうであると判定する判定手段とを含むことを特徴とする請求項5に記載のメモリ制御装置。

【請求項8】 前記外部装置は、符合化された画像データを復号するビデオデコード装置、又は、画像データを符合化するビデオエンコード装置であり、生成された画像データは前記メモリに一時的に記憶され、前記メモリに記憶された画像データは、その表示状態において連続する一部が、新たな画像データを生成する為に読み出され、

前記生成された画像データは、それぞれが単一分割バンクの記憶領域のみから成る前記メモリの単位領域に分散されて、表示状態において連続する所定の順番で記憶され、

記憶順序において隣接する単位領域は、異なるバンク、又は、同一分割バンクから成り、

前記アクセス情報は、表示状態と記憶順序とにおいて隣

接する単位領域に跨り、且つ、表示状態において隣接し記憶順序においては隣接しない単位領域に跨る記憶領域を示し、新たな画像データを生成する為に、前記ビデオデコード装置、又は、前記ビデオエンコード装置から発行され、

前記適正化手段は、

前記アクセス情報が示す記憶領域を、それぞれが単一分割バンクの記憶領域であり記憶領域が連続している単一分割バンク領域に分割する分割手段と、

表示状態において隣接し記憶順序においては隣接しない単位領域の境界を示す非隣接境界を検出する非隣接境界検出手段と、

前記非隣接境界を挟む単位領域が、同一バンクから成るか異なるバンクから成るかによって、前記単一分割バンク領域のアクセス順序を決定する相対順序決定手段とを含むことを特徴とする請求項1に記載のメモリ制御装置。

【請求項9】 前記相対順序決定手段は、

前記非隣接境界以後の前記単一分割バンク領域のアクセス順序を、前記非隣接境界を挟む単位領域が、同一バンクから成る場合には前記非隣接境界以前と同じにし、異なるバンクから成る場合にはその逆にすることを特徴とする請求項8に記載のメモリ制御装置。

【請求項10】 前記相対順序決定手段の代わりに、前記生成された画像データを表示状態において連続する所定の順番で記憶した場合に、前記非隣接境界を挟む単位領域が同一バンクから成る場合には、異なるバンクから成るように、前記画像データの論理アドレスと前記メモリの物理アドレスとを相互に変換するアドレス変換手段と、

前記非隣接境界以後の前記単一分割バンク領域のアクセス順序を、前記非隣接境界以前と逆にする順序逆転手段とを含むことを特徴とする請求項8に記載のメモリ制御装置。

【請求項11】 前記適正化手段は、さらに、

前記メモリに記憶される画像データにおいて、記憶順序と表示状態とが連続する画素数を、画面サイズとして設定する画面サイズ設定手段と、

前記単位領域の形状を設定するコンフィグレーション設定手段と、

前記画面サイズと前記形状とに基づいて、前記生成された画像データを表示状態において連続する所定の順番で記憶した場合に、前記非隣接境界を挟む単位領域が、同一バンクから成るか異なるバンクから成るかを判断するバンク判断手段を含むことを特徴とする請求項8～10の何れか1項に記載のメモリ制御装置。

【請求項12】 前記適正化手段は、さらに、

表示状態と記憶順序とにおいて隣接する単位領域の境界を示す隣接境界を検出する隣接境界検出手段と、

前記アクセス情報が示す記憶領域を、前記隣接境界で分

割した際の各記憶領域の大きさを比較する比較手段と、前記非隣接境界以前の前記単一分割バンク領域のアクセス順序を、比較手段の比較において小さいと判断された記憶領域に属する単一分割バンク領域から先に読み出す順序とする初期順序決定手段とを含むことを特徴とする請求項8～11の何れか1項に記載のメモリ制御装置。

【請求項13】 コンピュータを請求項1～12記載の何れか1項に記載のメモリ制御装置として機能させるためのプログラムを記録したコンピュータ読み取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリを制御するメモリ制御装置に関し、特に、動作クロックに同期してデータ転送を行なうシンクロナス・ダイナミックRAM（以下「SDRAM」と言う）に代表される、アクセスの順序により遅延が生じるメモリを用いる際に、アクセスの順序を適正化する技術に関する。

【0002】

【従来の技術】近年、パーソナルコンピュータ等の爆発的な普及にともない、データを記憶する記憶媒体が広く利用されている。このような記憶媒体の1つとして、SDRAMが存在する。SDRAMは、動作クロックに同期して連続的にデータを転送するバースト転送を指定でき、読み書きの最少単位である所定のビット数（以下「ワード長」と言う）を、予め指定した回数（以下「バースト長」と言う）分、連続的に転送することができるので、使い勝手が大変よい。

【0003】図21は、一般的なSDRAMの記憶領域を示す図である。一般にSDRAMの記憶領域は、各ページで構成されるバンク毎に区分されており、図21に示すSDRAMは、それぞれページ0～(n-1)のnページで構成されるバンク0、及び、バンク1の2つに区分され、各ページは、それぞれカラム0～(m-1)のmカラムで構成される。ここで、「n」及び「m」は1以上の整数とする。読み書きはカラム単位で行なわれるので、ワード長は1カラムのビット数と等しい。例えば、1カラムは8ビットであり、mは512、nは2048である。

【0004】図22は、一般的なSDRAMの状態遷移図である。一般にSDRAMは、バンク毎に「センス・アンプ」を備え、図22からも解るように、カラムに記憶されたデータを読み出す際や、カラムにデータを書き込む際には、読み出す又は書き込むべきカラムを含むページのデータを、そのページが属するバンクのセンス・アンプに予め転送（アクティブ）した後で、そのセンス・アンプから読み出し（リード）又は書き込み（ライト）を行う（以下、「読み出し、及び、書き込み」を、単に「アクセス」と言う）。

【0005】ただし、連続して同一バンクの同一ページ

に含まれるカラムにアクセスする場合は、既に対応するページがセンス・アンプに転送されているので、改めて転送する必要はない。また、ページAに含まれるカラムAをアクセスした後で、ページAと同一バンクに属するページBに含まれるカラムBをアクセスする場合には、予めページAに対応するデータが保持されたセンス・アンプの内容を、一旦ページAに転送（プリチャージ）した後で、ページBのデータをセンス・アンプに転送（アクティブ）する必要がある。

【0006】従って、同一バンクでかつ異なるページに含まれるカラムを連続してアクセスする場合には、プリチャージとアクティブとが必須となる為、実質的な転送レートが低下する。しかしながら、SDRAMの記憶領域は複数のバンクに区分されているので、連続してアクセスするバンクを異なるバンクにし、それぞれのバンクにおいて他のバンクをアクセスしている間にプリチャージとアクティブとを行なうことにより、実質的な転送レートの低下を回避することができる。

【0007】SDRAMに関しては、例えば、「NEC データシート、MOS集積回路 μ PD4516421、4516821、45116161（資料番号：M10429JJ2V0DS00、発行年月：August 1995、NEC）」や、「特開平6-76567号公報：半導体記憶装置および同期型半導体記憶装置」に詳細な記載がある。

【0008】図23は、上記のようなSDRAMを制御する従来のメモリシステムの構成を示す図である。図23に示す従来のメモリシステムは、転送対象ユニット231～233、アービター234、SDRAM制御部235、及び、SDRAM236で構成される。

【0009】転送対象ユニット231～233はそれぞれ、SDRAM236とデータ転送を行なう要求が生じた場合には転送要求信号をアービター234に出力し、アービター234から転送許可信号を返された場合には転送情報をSDRAM制御部235に出力する。アービター234は、何れかの転送対象ユニットから転送要求信号を入手した場合は、転送要求信号を出力した転送対象ユニットに返す。また、複数の転送対象ユニットから転送要求信号を入手している場合には、それらの中の最も優先度の高いものを選択し、転送許可信号を、選択した転送要求信号を出力した転送対象ユニットに返し、選択しなかった残りの転送要求信号についても同様に処理する。

【0010】SDRAM制御部235は、転送対象ユニットからの転送情報に基づいて、クロック（CLK）、ロー・アドレス・ストロブ（RAS）、カラム・アドレス・ストロブ（CAS）、ライト・イネーブル（WE）、及び、アクセスアドレスなどの制御コマンドを生成してSDRAM236に出力し、転送情報を出力した転送対象ユニットとSDRAM236とのデータ転送を

実現する。

【0011】SDRAM236は、上記で説明した一般的なSDRAMと同様な特徴を持ち、SDRAM制御部235から入手した制御コマンドにより制御される。

【0012】

【発明が解決しようとする課題】しかしながら、上記従来のメモリシステムでは、SDRAMを効率良く制御できない場合が発生する。図24は、各転送対象ユニットが要求するデータ転送によりアクセスされるカラムが含まれるページの番号と、そのページが属するバンクの番号とを、アクセスされる順にカラム単位で示す図である。図24に示すように、各データ転送の優先度は上のほうが下よりも高いものとし、転送対象ユニット231はバンク0のページ0とバンク1のページ0とを8カラムずつ交互に計4回アクセスするデータ転送を要求し、転送対象ユニット232はバンク1のページ1を8カラムずつ計2回アクセスするデータ転送を要求し、転送対象ユニット233はバンク0のページ1を8カラムだけアクセスするデータ転送を要求するものとする。

【0013】図25は、図24に示すような各データ転送が、各転送対象ユニットから同時に要求された場合の転送順序を、動作クロック単位で示す図である。図25において、CASレーテンシは3、バースト長は8とする。ここでCASレーテンシとは、リード・コマンド入力からデータ・リードまでのレーテンシ（クロック数）を示し、バースト長とは、リード・サイクル又はライト・サイクルで出力又は入力されるワード数を示す。

【0014】ここではCASレーテンシが3のなので、プリチャージ・コマンドの入力から1クロック後までのリード・データが有効であり、また、同一バンクに対するプリチャージ・コマンドとアクティブ・コマンドとの間隔、及び、アクティブ・コマンドとリード・コマンドとの間隔は、共に3クロック以上必要であるものとする。

【0015】図25に示すように、優先度に従って転送対象ユニット231、転送対象ユニット232、転送対象ユニット233の順序でデータ転送を行なうが、ここでは、転送対象ユニット231の最後に転送されるカラムがバンク1のページ0に含まれ、転送対象ユニット232の最初に転送されるカラムがバンク1のページ1に含まれるので、同一バンクでかつ異なるページに含まれるカラムを連続してアクセスすることになり、他のバンクをアクセスしている間にプリチャージとアクティブとを行なうことができず、その分だけオーバーヘッドが発生し実質的な転送レートが低下する。

【0016】また、符号化された画像データを復号するビデオデコード装置が復号した復号画像データを一時記憶するメモリとして、又は、画像データを符号化するビデオエンコード装置が符号化した符号化画像データを一時記憶するメモリとして、上記のようなSDRAMを使

用する場合には、その復号又は符号化に際して複数のバンクに跨った復号画像データ又は符号化画像データが読み出されるが、従来のようにアドレス順に読み出すと、同一バンクでかつ異なるページに含まれるカラムを連続してアクセスする場合が多く生じることがあり、上記と同様の問題を有する。

【0017】そこで、本発明は、極力転送レートを低下させないように、各転送対象機器に対する転送の順序を適正化するメモリ制御装置及びそのプログラムを記録したコンピュータ読み取り可能な記憶媒体を提供することを第1の目的とする。また、本発明は、ビデオデコード装置、及び、ビデオエンコード装置において、極力転送レートを低下させないように、画像データの読み出し順序を適正化するメモリ制御装置及びそのプログラムを記録したコンピュータ読み取り可能な記憶媒体を提供することを第2の目的とする。

【0018】

【課題を解決するための手段】第1及び第2の目的を達成するために、本発明に係るメモリ制御装置は、複数のバンクに区分された記憶領域を有するメモリを制御する装置であって、前記複数のバンクはそれぞれ複数の分割バンクに分割され、前記メモリは同一バンクで且つ異なる分割バンクの記憶領域に対するアクセスが連続すると遅延が生じるものであり、複数の単位アクセスに分けてアクセスすべき2つ以上のバンクの記憶領域を示すアクセス情報を外部装置から受け付ける受付手段と、前記アクセス情報が示す各単位アクセスの記憶領域が区分される各バンクが同一であるか異なるかに基づいて各単位アクセスのアクセス順序を同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように適正化して決定する適正化手段と、前記メモリの記憶領域が適正化手段が適正化して決定したアクセス順序に従ってアクセスされるように前記メモリを制御する制御手段とを備えることを特徴とする。

【0019】ここで、第1の目的を達成するために、本発明に係るメモリ制御装置は、前記外部装置は1つ以上の転送対象機器から成り、前記アクセス情報は前記転送対象機器から発行される2つ以上の個別アクセス情報から成り、前記個別アクセス情報はそれぞれ1つ以上の単位アクセスから成り、前記適正化手段は、現在アクセス中又は先にアクセスされるべき先行個別アクセス情報において最後にアクセスされるべき末尾バンクを特定する末尾特定手段と、前記個別アクセス情報毎に最初にアクセスされるべき先頭バンクを特定する先頭特定手段と、末尾バンクと異なるバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域のアクセスを末尾バンクと同じバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域のアクセスよりも優先的に選択して前記先行個別アクセス情報が示す記憶領域のアクセスの直後の順序とする選択手段とを含むことを特徴とする。

こともできる。

【0020】ここで、第2の目的を達成するために、本発明に係るメモリ制御装置は前記外部装置は符合化された画像データを復号するビデオデコード装置又は画像データを符合化するビデオエンコード装置であり、生成された画像データは前記メモリに一時的に記憶され、前記メモリに記憶された画像データはその表示状態において連続する一部が新たな画像データを生成する為に読み出され、前記生成された画像データはそれぞれが単一分割バンクの記憶領域のみから成る前記メモリの単位領域に分散されて表示状態において連続する所定の順番で記憶され、記憶順序において隣接する単位領域は異なるバンク又は同一分割バンクから成り、前記アクセス情報は表示状態と記憶順序とにおいて隣接する単位領域に跨り且つ表示状態において隣接し記憶順序においては隣接しない単位領域に跨る記憶領域を示し新たな画像データを生成する為に前記ビデオデコード装置又は前記ビデオエンコード装置から発行され、前記適正化手段は、前記アクセス情報が示す記憶領域をそれぞれが単一分割バンクの記憶領域であり記憶領域が連続している単一分割バンク領域に分割する分割手段と、表示状態において隣接し記憶順序においては隣接しない単位領域の境界を示す非隣接境界を検出する非隣接境界検出手段と、前記非隣接境界を挟む単位領域が同一バンクから成るか異なるバンクから成るかによって前記単一分割バンク領域のアクセス順序を決定する相対順序決定手段とを含むことを特徴とすることもできる。

【0021】ここで、第2の目的を達成するために、本発明に係るメモリ制御装置は、前記相対順序決定手段の代わりに、前記生成された画像データを表示状態において連続する所定の順番で記憶した場合に前記非隣接境界を挟む単位領域が同一バンクから成る場合には異なるバンクから成るように前記画像データの論理アドレスと前記メモリの物理アドレスとを相互に変換するアドレス変換手段と、前記非隣接境界以後の前記単一分割バンク領域のアクセス順序を前記非隣接境界以前と逆にする順序逆転手段とを含むことを特徴とすることもできる。

【0022】

【発明の実施の形態】以下、本発明の各実施の形態について、図面を用いて説明する。

(実施の形態1)

＜構成＞図1は、上記のようなSDRAMを制御する実施の形態1のメモリシステムの構成を示す図である。

【0023】図1に示す実施の形態1のメモリシステムは、転送対象ユニット11～13、アービター10、SDRAM制御部235、及び、SDRAM236で構成される。ここで、図23に示す従来のメモリシステムと同じ機能を持つ各構成要素には、同一番号を付し、その説明を省略する。

【0024】アービター10は、各転送対象ユニットが

SDRAM236とデータ転送中であるか否かを常に監視しており、何れかの転送対象ユニットから転送要求情報を入手した場合は、全転送対象ユニットのデータ転送の終了に合わせて転送許可信号を、転送要求情報を出力した転送対象ユニットに返す。また、複数の転送対象ユニットから転送要求情報を入手している場合には、それらの中から1つを選択し、全転送対象ユニットのデータ転送の終了に合わせて転送許可信号を、ここで選択した転送要求情報を出力した転送対象ユニットに返し、選択しなかった残りの転送要求情報についても同様に処理する。ここでの選択方法については後で詳細に説明する。

【0025】転送対象ユニット11～13はそれぞれ、SDRAM236とデータ転送を行なう要求が生じた場合には転送要求情報をアービター10に出力し、アービター10から転送許可信号を返された場合には転送情報をSDRAM制御部235に出力する。図2は、アービター10の詳細な構成を示す図である。

【0026】図2に示すアービター10は、転送要求情報受付部101、転送要求情報保持部102、末尾特定部103、先頭特定部104、及び、選択部105を備える。転送要求情報受付部101は、転送対象ユニット11～13がそれぞれ発行する転送要求情報を受け付ける。ここで、転送要求情報はアクセスすべき記憶領域を示す記憶領域情報と、転送待ちの時間的な限度を示す限度情報を含む。例えば、記憶領域情報は、SDRAM236の物理アドレス、SDRAM236のバンクナンバー、又は、SDRAM236のバンクナンバーとページナンバーとのペアであり、限度情報は、転送要求情報が発行されてから転送が完了するまでに許されるサイクル数の限度を示すリミットサイクル数である。

【0027】転送要求情報保持部102は、転送要求情報受付部101が受け付けた各転送要求情報を、対応する転送が許可されるまで保持する。末尾特定部103は、現在アクセス中、又は、優先的にアクセスされるべき先行転送要求情報において、最後にアクセスされるべき末尾バンク、又は、最後にアクセスされるべき末尾バンクと末尾ページとのペアを特定する。

【0028】先頭特定部104は、転送要求情報毎に、最初にアクセスされるべき先頭バンク、又は、最初にアクセスされるべき先頭バンクと先頭ページとのペアを特定する。選択部105は、末尾バンクと異なるバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域のアクセスを、末尾バンクと同じバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域のアクセスよりも優先的に選択するか、又は、末尾バンクと異なるバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域、及び、末尾バンクと同一バンクを示す先頭バンクに対応し、且つ、末尾ページと同一ページを示す先頭ページに対応する転送要求情報が示す記憶領域のアクセスを、末尾バンクと同一バンクを示す先頭バンクに対応

し、且つ、末尾ページと異なるページを示す先頭ページに対応する転送要求情報が示す記憶領域のアクセスよりも優先的に選択して、先行転送要求情報が示す記憶領域のアクセスの直後の順序とする。

【0029】また、選択部105は、転送要求情報毎に限度情報が示す限度を越えそうであるか否かを判定し、限度を越えそうであると判定した転送要求情報が示す記憶領域のアクセスを最優先で選択する。図3は、選択部105の構成の一例を示す図である。例えば、選択部105は、図3に示す様に、残りサイクル数保持部105a、初期値設定部105b、減算部105c、計算部105d、及び、判定部105eを含む構成とすることができる。

【0030】残りサイクル数保持部105aは、転送要求情報毎に、現時点から転送が完了するまでに許されるサイクル数の限度を示す残りサイクル数を保持する。初期値設定部105bは、転送要求情報が発行された時にリミットサイクル数を残りサイクル数の初期値として残りサイクル数保持部105aに保持させる。減算部105cは、残りサイクル数保持部105aが保持する残りサイクル数を、1サイクル毎に1づつ減算する。

【0031】計算部105dは、転送要求情報毎に、

$$\text{「(実行中のアクセスが完了するまでのサイクル数)} + \text{(優先的に選択された転送要求情報のアクセスに必要なサイクル数)} + \text{(転送用アンブに保持されたデータを、所定の1ページへ転送するのに必要なサイクル数)} + \text{(所定の1ページに記憶されたデータを、転送用アンブへ転送するのに必要なサイクル数)} + \text{(自身のアクセスに必要なサイクル数)} = \text{完了予定サイクル数} \text{」を実行中のアクセスが完了するまでに計算する。}$$

【0032】判定部105eは「前記完了予定サイクル数>前記残りサイクル数」の場合に、対応する転送要求情報が限度を越えそうであると判定する。図4は、選択部105の構成の別の一例を示す図である。例えば、選択部105は、図4に示す様に、カウント部105f、計算部105g、及び、判定部105hを含む構成とすることもできる。

【0033】カウント部105fは、転送要求情報毎に、その転送要求情報が発行された時から1サイクル毎に待機サイクル数をカウントする。計算部105gは、転送要求情報毎に、

$$\text{「(前記待機サイクル数)} + \text{(実行中のアクセスが完了するまでのサイクル数)} + \text{(優先的に選択された転送要求情報のアクセスに必要なサイクル数)} + \text{(転送用アンブに保持されたデータを、所定の1ページへ転送するのに必要なサイクル数)} + \text{(所定の1ページに記憶されたデータを、転送用アンブへ転送するのに必要なサイクル数)} + \text{(自身のアクセスに必要なサイクル数)} = \text{完了予定サイクル数} \text{」を実行中のアクセスが完了するまでに計算する。}$$

【0034】判定部105hは「前記完了予定サイクル

数>前記リミットサイクル数」の場合に、対応する個別アクセス情報が限度を越えそうであると判定する。

<動作>図5は、本発明の実施の形態1に係るアクセスの実行順序を適正化する方法のフローチャートを示す図である。

【0035】図6は、本発明の実施の形態1に係るメモリシステムにおいて、図24に示すような各データ転送が、各転送対象ユニットから同時に要求された場合の転送順序を、動作クロック単位で示す図である。図6においても、CASレーテンシは3、バースト長は8とする。ここでも図25と同様にCASレーテンシが3のなので、プリチャージ・コマンドの入力から1クロック後までのリード・データが有効であり、また、同一バンクに対するプリチャージ・コマンドとアクティブ・コマンドとの間隔、及び、アクティブ・コマンドとリード・コマンドとの間隔は、共に3クロック以上必要であるものとする。

【0036】以下、図5に示したフローチャートを説明する。なお、常時、各転送対象ユニットから各データ転送に対応する転送要求情報が発行され、転送要求情報受付部101が発行された各転送要求情報を常に受け付け、転送要求情報保持部102が各転送要求情報を対応する転送が許可されるまで保持する。また、初期値設定部105bが各リミットサイクル数を残りサイクル数の初期値として残りサイクル数保持部105aに保持させ、減算部105cが残りサイクル数を1サイクル毎に1づつ減算する。ここでは、各転送対象ユニットから同時に、図24に示すような各データ転送に対応する転送要求情報が発行されるものとする。詳しくは、転送対象ユニット11からアクセスすべき順序に並んだバンクナンバーとページナンバーとのペア「バンク0のページ0、バンク1のページ0、バンク0のページ0、バンク1のページ0」と、リミットサイクル数「100」とを含む転送要求情報が発行され、転送対象ユニット12からアクセスすべきバンクナンバーとページナンバーとのペアの並び「バンク1のページ1」と、リミットサイクル数「100」とを含む転送要求情報が発行され、転送対象ユニット13からアクセスすべきバンクナンバーとページナンバーとのペアの並び「バンク0のページ1」と、リミットサイクル数「100」とを含む転送要求情報が発行されるものとする。

【0037】(1) アービター10が、転送要求情報保持部102に保持された転送要求情報が有るか否かを判断する。Noの場合はYesになるまで待つ(ステップS101)。ここでは、転送要求情報保持部102に3個の転送要求情報が保持されるので、Yesと判断する。

(2) アービター10が、転送要求情報保持部102に保持された転送要求情報が2つ以上か否かを判断する。

(ステップS102)。ここでは、転送要求情報保持部

102に3個の転送要求情報が保持されているので、Yesと判断する。

【0038】(3)ステップS102でYesと判断された場合は、選択部105が、最も優先順位が高い転送対象ユニットが発行した転送要求情報を優先的に一旦選択する(ステップS103)。ここでは、転送対象ユニット11が発行した転送要求情報を一旦選択する。

(4)計算部105dが、転送要求情報毎に、「(実行中のアクセスが完了するまでのサイクル数)+(優先的に一旦選択された転送要求情報のアクセスに必要なサイクル数)+(転送用アンプに保持されたデータを、所定の1ページへ転送するのに必要なサイクル数)+(所定の1ページに記憶されたデータを、転送用アンプへ転送するのに必要なサイクル数)+(自身のアクセスに必要なサイクル数)=完了予定サイクル数」を計算し、判定部105eが「完了予定サイクル数>残りサイクル数」の場合には、対応する転送要求情報が限度を越えそうであると判定して、ステップS102で一旦選択した転送要求情報よりも最優先で選択する(ステップS104)。ここでは、転送対象ユニット12が発行した転送要求情報について「完了予定サイクル数=0+32+3+3+16=54」と、また、転送対象ユニット13が発行した転送要求情報について「完了予定サイクル数=0+32+3+3+8=46」と計算し、両方共、「完了予定サイクル数>残りサイクル数」ではないので限度を越えそうでないと判定し最優先で選択しない。

【0039】ここで、仮に転送対象ユニット12が発行した転送要求情報が含むリミットサイクル数が「54未満」であったり、転送対象ユニット13が発行した転送要求情報が含むリミットサイクル数が「46未満」であった場合には、それぞれの転送要求情報が示す記憶領域のアクセスを最優先で選択する。

(5)アービター10が、ここで最終的に選択した転送要求情報に対応する転送対象ユニットに転送許可信号を返し、転送要求情報保持部102から対応する転送要求情報を削除する。(ステップS105)。ここでは、転送対象ユニット11に転送許可信号を返す。

【0040】(6)末尾特定部103が、現在アクセス中、又は、優先的にアクセスされるべき転送要求情報において、最後にアクセスされるべき末尾バンク、又は、最後にアクセスされるべき末尾バンクと末尾ページとのペアを特定する(ステップS106)。ここでは、選択された転送対象ユニット11が発行した転送要求情報において、最後にアクセスされるべき「末尾バンク1と末尾ページ0」を特定するものとする。

【0041】(7)一方、転送許可信号を受け取った転送対象ユニットは、SDRAM制御部235を介してSDRAM236との間でデータ転送を行なう(ステップS107)。ここでは、転送対象ユニット11が、SDRAM236との間でデータ転送を行なう。

(8)実行中のデータ転送が完了する直前に、アービター10が、転送要求情報保持部102に保持された転送要求情報が有るか否かを判断する。Noの場合はステップS101へ戻る(ステップS108)。ここでは、転送要求情報保持部102に2個の転送要求情報が保持されているので、Yesと判断する。

【0042】(9)ステップS108でYesと判断された場合は、実行中のデータ転送が完了する直前に、アービター10が、転送要求情報保持部102に保持された転送要求情報が2つ以上か否かを判断する(ステップS109)。ここでは、転送要求情報保持部102に2個の転送要求情報が保持されているので、Yesと判断する。

【0043】(10)ステップS109でYesと判断された場合は、先頭特定部104が、転送要求情報毎に、最初にアクセスされるべき先頭バンク、又は、最初にアクセスされるべき先頭バンクと先頭ページとのペアを特定する(ステップS110)。ここでは、転送対象ユニット12が発行した転送要求情報においては「先頭バンク1と先頭ページ1」と、転送対象ユニット13が発行した転送要求情報においては「先頭バンク0と先頭ページ1」と特定するものとする。

【0044】(11)選択部105が、末尾バンクと異なるバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域のアクセスを、末尾バンクと同じバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域のアクセスよりも優先的に一旦選択するか、又は、末尾バンクと異なるバンクを示す先頭バンクに対応する転送要求情報が示す記憶領域、及び、末尾バンクと同一バンクを示す先頭バンクに対応し、且つ、末尾ページと同一ページを示す先頭ページに対応する転送要求情報が示す記憶領域のアクセスを、末尾バンクと同一バンクを示す先頭バンクに対応し、且つ、末尾ページと異なるページを示す先頭ページに対応する転送要求情報が示す記憶領域のアクセスよりも優先的に一旦選択する。このように優先的に選択する転送要求情報がない場合には、最も優先順位が高い転送対象ユニットが発行した転送要求情報を優先的に一旦選択する(ステップS111)。ここでは、「末尾バンク1」「末尾ページ0」なので、転送対象ユニット12が発行した転送要求情報は、末尾バンク1と同一バンクを示す先頭バンク1に対応し、且つ、末尾ページ0と異なるページを示す先頭ページ1に対応し、転送対象ユニット13が発行した転送要求情報は、末尾バンク1と異なるバンクを示す先頭バンク0に対応する。従って、転送対象ユニット13が発行した転送要求情報を、転送対象ユニット12が発行した転送要求情報よりも優先的に一旦選択する。

【0045】(12)ステップS104へ戻り、上記(4)と同様の処理を行なう(ステップS104)。ここでは、例えば実行中のデータ転送が完了する3サイク

ル前（最初から35サイクル）に計算する場合には、転送対象ユニット12が発行した転送要求情報について「完了予定サイクル数=3+16+3+3+16=41」と計算し、また、この時「残りサイクル数=100-35=65」であり、「完了予定サイクル数>残りサイクル数」ではないので限度を越えそうでないと判定し転送対象ユニット12を最優先で選択しない。

【0046】(13)上記(5)と同様の処理を行なう（ステップS105）。ここでは、転送対象ユニット13に転送許可信号を返す。

(14)上記(6)と同様の処理を行なう（ステップS106）。ここでは、選択された転送対象ユニット13が発行した転送要求情報において、最後にアクセスされるべき「末尾バンク0と末尾ページ1」を特定するものとする。

【0047】(15)上記(7)と同様の処理を行なう（ステップS107）。ここでは、転送対象ユニット13が、SDRAM236との間でデータ転送を行なう。(16)上記(8)と同様の処理を行なう（ステップS108）。ここでは、転送要求情報保持部102に1個の転送要求情報が保持されているので、Yesと判断する。

【0048】(17)上記(9)と同様の処理を行なう（ステップS109）。ここでは、転送要求情報保持部102に1個の転送要求情報しか保持されていないので、Noと判断する。

(18)ステップS102、及び、ステップS109でNoと判断された場合は、転送要求情報保持部102に保持された1個の転送要求情報を無条件で選択する（ステップS112）。ここでは、転送対象ユニット12が発行した転送要求情報を無条件で選択する。

【0049】(19)上記(5)と同様の処理を行なう（ステップS105）。ここでは、転送対象ユニット12に転送許可信号を返す。

(20)上記(6)と同様の処理を行なう（ステップS106）。ここでは、選択された転送対象ユニット12が発行した転送要求情報において、最後にアクセスされるべき「末尾バンク1と末尾ページ1」を特定するものとする。

【0050】(21)上記(7)と同様の処理を行なう（ステップS107）。ここでは、転送対象ユニット12が、SDRAM236との間でデータ転送を行なう。

(22)上記(8)と同様の処理を行なう（ステップS108）。ここでは、転送要求情報保持部102に1個の転送要求情報も保持されていないので、Noと判断する。

【0051】(23)ステップS108でNoと判断された場合は、最初（ステップS101）に戻る。以上のように、本発明の実施の形態1に係るメモリシステムは、転送要求情報保持部102が保持する全転送要求情

報が示す複数に分けてアクセスすべき記憶領域のアクセス順序を、同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように、又は、同一バンクで且つ異なるページの記憶領域に対して連続してアクセスする頻度が低くなるように適正化し、適正化したアクセス順序に従ってメモリの記憶領域がアクセスされるように制御する。

【0052】ここで、転送が終了するまでに必要なサイクル数を従来と本発明とにおいて比較する。従来では図25に示すように69サイクル必要であったが、本発明では図6に示すように62サイクルで済み、プリチャージによるオーバーヘッドが無くなるの分（7サイクル）だけ必要なサイクル数が少ない。なお、ここでは、前のデータ転送が完了する直前に次のデータ転送を選択したが、前のデータ転送が完了するより前ならば、如何なるタイミングで次のデータ転送を選択してもよい。もちろん、前のデータ転送の開始前に次のデータ転送を選択してもよいので、全てのデータ転送の前に、全てのデータ転送の順序を決定してもよい。

【0053】また、ここでは、アクセスすべき順序に並んだバンクナンバーとページナンバーとのペアが転送要求情報に含まれることとしたが、先頭と末尾が特定できるならば、如何なる情報であってもよい。また、少なくとも先頭バンクと末尾バンクとを特定できる情報が転送要求情報に含まれていれば、同一バンクナンバーが連続しないように次のデータ転送を選択することで、同様の効果が得られる。

【0054】また、末尾バンクを特定できる情報が転送要求情報には含まれずSDRAM制御部235から取得するものであってもよい。また、転送要求情報にはアクセスすべきメモリのアドレスが含まれ、アービター10、又は、SDRAM制御部235がそのアドレスに基づいてバンクナンバーやページナンバーを特定するものであってもよい。

【0055】（実施の形態2）

<構成>図7は、実施の形態2に係るメモリ制御装置を用いた画像復号システム（ビデオデコード装置）の構成を示す図である。図7に示す実施の形態2の画像復号システムは、画像復号部1、差分画像バッファ2、参照画像バッファ3、ハーフペル補間部4、加算器5、画像出力部6、メモリ制御装置7、及び、SDRAM8で構成される。

【0056】画像復号部1は、伝送された符号化参照画像を復号し、メモリ制御装置7を介してSDRAM8へ転送し、また、差分画像符合を復号し、差分画像を差分画像バッファ2へ、参照画像のアドレスを参照画像バッファ3へ、補間方法をハーフペル補間部4へ出力する。差分画像バッファ2は、復号された差分画像を一時的に格納し、加算器5の動作タイミングを調整する。

【0057】参照画像バッファ3は、画像復号部1によ

って指定された参照画像をメモリ制御装置7から読み出して一時的に格納し、必要に応じてハーフペル補間部4へ出力する。ハーフペル補間部4は、画像復号部1によって指定された補間方法に従って、参照画像バッファ3が格納する参照画像を補間して加算器5へ出力する。なお、ここで行なう補間方法は、本発明の趣旨とは直接関係ないのでその説明を省略する。

【0058】加算器5は差分画像バッファ2が保持する差分画像と参照画像バッファ3が保持する参照画像とを加算して出力画像を得て、メモリ制御装置7を介してSDRAM8へ転送する。画像出力部6は、画像出力タイミングに合わせて、メモリ制御装置7を介して、SDRAM8から復号した画像データを読み出して出力する。

【0059】メモリ制御装置7は、画像復号部1からSDRAM8への復号後画像データの転送、SDRAM8から参照画像バッファ3への参照画像の転送、加算器5からSDRAM8への出力画像の転送、及び、SDRAM8から画像出力部6への出力画像の転送を制御する。SDRAM8は、実施の形態1のSDRAM236と同じ構成と機能を持つ。

【0060】加算器5で得られた各出力画像の画像データは、それぞれが単一バンクで単一ページの記憶領域のみから成るSDRAM8の各单位領域に、表示状態において連続する所定の順番で記憶され、また、記憶順序において隣接する単位領域は、異なるバンクから成る。図8は、データバスのビット幅が8ビットであり1カラムが8ビット、1ページが512カラムの2つのバンク

(バンク0とバンク1)を備えるSDRAM8に、1画素あたりのデータ量(例えば「輝度」を表す)が8ビットで、各单位領域が横16画素×縦32画素の矩形領域で、横方向の画素数が「 $16 \times (2n+1)$ 」の画像データを記憶する場合において、各画像データが記憶される記憶領域のバンクナンバーとページナンバーとを示す図である。ここで、「 n 」は1以上の整数とする。

【0061】図9は、記憶する画像データの横方向の画素数が「 $16 \times 2n$ 」である点のみが異なる、図8と同様な図である。図8、図9において、実線で区切られた各矩形領域はそれぞれが単一ページの記憶領域であり、斜線の無い矩形領域はバンク0、斜線の有る矩形領域はバンク1を示している。

【0062】図8では、上下および左右に隣接する単一ページの矩形領域のデータは、異なるバンクに記憶されている。図9では、左右に隣接する単一ページの矩形領域のデータは異なるバンクに記憶されているが、上下に隣接する単一ページの矩形領域のデータは同一バンクに記憶されている。

【0063】ここで、画像復号部1からSDRAM8への復号後画像データの転送、加算器5からSDRAM8への出力画像の転送、及び、SDRAM8から画像出力部6への出力画像の転送については、従来と同様なので

その説明を省略し、SDRAM8から参照画像バッファ3への参照画像の転送についてのみ以下に説明する。図10は、図8に示すようなSDRAM8に記憶された画像データから読み出される参照画像の一例である。

【0064】図11は、図9に示すようなSDRAM8に記憶された画像データから読み出される参照画像の一例である。図10、図11に示す参照画像は、横9画素×縦5画素の矩形領域で表されており、その読み出し順序は、通常、表示順序の通りに行われるので、「 $a1 \rightarrow a2 \rightarrow b1 \rightarrow b2 \rightarrow c1 \rightarrow c2 \rightarrow d1 \rightarrow d2 \rightarrow e1 \rightarrow e2$ 」となる。

【0065】メモリ制御装置7は、アクセス情報受付部71、アクセス順序適正化部72、及び、SDRAM制御部73から構成される。アクセス情報受付部71は、アクセス情報として読み出すべき参照画像のアドレスを参照画像バッファ3から受け付ける。アクセス順序適正化部72は、読み出すべき参照画像のアクセス順序を、同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように適正化する。

【0066】SDRAM制御部73は、画像復号部1、参照画像バッファ3、加算器5、及び、画像出力部6からの各転送要求に基づいて、制御コマンドを生成してSDRAM8に出力し、データ転送を実現する。特に、参照画像を読み出す場合には、SDRAM8の記憶領域が、アクセス順序適正化部72が適正化したアクセス順序に従ってアクセスされるように制御する。

【0067】アクセス順序適正化部72は、領域分割部721、垂直ページ境界検出部722、相対アクセス順序決定部723、画面サイズ設定部724、コンフィグレーション設定部725、バンク判断部726、水平ページ境界検出部727、大小比較部728、及び、初期アクセス順序決定部729を含む。領域分割部721は、読み出すべき参照画像のアドレスが示すSDRAM8の記憶領域を、それぞれが単一ページの記憶領域であり記憶領域が連続している単一ページ領域に分割する。図10、11では、それぞれ「 $a1, a2, b1, b2, c1, c2, d1, d2, e1, e2$ 」の単一ページ領域に分割している。

【0068】垂直ページ境界検出部722は、表示状態において隣接し記憶順序においては隣接しない単位領域の境界を検出する。より具体的には、1つ前に転送を要求した水平方向のラインの先頭アドレスと続いて転送を要求すべき水平方向のラインの先頭アドレスとが異なる単位領域であるか否かを常に監視し、異なる単位領域であると検出した場合に垂直ページ境界を検出したとして垂直ページクロス信号をSDRAM制御部73へ出力する。なお、ここでは単位領域の記憶順序を水平方向に連続させたので垂直ページ境界を検出したが、垂直方向に連続させた場合には水平ページ境界を検出する。図10、11では、図中に示すような垂直ページ境界を検出

する。

【0069】相対アクセス順序決定部723は、垂直方向のページ境界を挟む単位領域が、同一バンクから成るか異なるバンクから成るかによって、単一ページ領域のアクセス順序を決定する。より具体的には、垂直方向のページ境界以後の単一ページ領域のアクセス順序を、垂直方向のページ境界以後を挟む単位領域が、同一バンクから成る場合には単位領域以前と同じにし、異なるバンクから成る場合にはその逆にする。

【0070】画面サイズ設定部724は、外部からの指示を受けて、SDRAM8に記憶される画像データにおいて、記憶順序と表示状態とが連続する画素数を画面サイズとして設定する。ここでは、画面サイズはデコードする画像データの横方向の画素数となり、図8に示す例では「 $16 \times (2n+1)$ 」、図9に示す例では「 $16 \times 2n$ 」である。

【0071】コンフィグレーション設定部725は、外部からの指示を受けて、単位領域の形状を設定する。図8、9に示す例では、単位領域の形状は横16画素×縦32画素の矩形領域である。バンク判断部726は、画面サイズと形状とに基づいて、生成された画像データを表示状態において連続する上記のような順番で記憶した場合に、垂直方向のページ境界を挟む単位領域が、同一バンクから成るか異なるバンクから成るかを判断する。図8に示す例では上下に隣接する単一ページの矩形領域のデータは異なるバンクに記憶されているので異なるバンクから成ると判断され、図9に示す例では上下に隣接する単一ページの矩形領域のデータは同一バンクに記憶されているので同一バンクから成ると判断される。

【0072】水平ページ境界検出部727は、表示状態と記憶順序とにおいて隣接する単位領域の境界を検出する。より具体的には、水平方向の各ライン内における単位領域の境界を水平ページ境界として検出する。なお、ここでは単位領域の記憶順序を水平方向に連続させたので水平ページ境界を検出したが、垂直方向に連続させた場合には垂直ページ境界を検出する。図10、11では、図中に示すような水平ページ境界を検出する。

【0073】大小比較部728は、参照画像を水平方向のページ境界で分割した際の各記憶領域の大きさを比較する。図10、11では、右側の方が左側よりも小さいと判断する。初期アクセス順序決定部729は、垂直方向のページ境界以前の単一ページ領域のアクセス順序を、大小比較部728の比較において小さいと判断された記憶領域に属する単一ページ領域から先に読み出す順序とする。

【0074】図10では、垂直ページ境界以前の各ラインのアクセス順序は右側から左側となり、垂直ページ境界以後の各ラインのアクセス順序は左側から右側となる。従って、この場合の読み出し順序は「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1 \rightarrow e1 \rightarrow e2$ 」と

なる。また、図11では、垂直ページ境界以前の各ラインのアクセス順序は右側から左側となり、垂直ページ境界以後の各ラインのアクセス順序も右側から左側となる。

【0075】従って、この場合の読み出し順序は「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1 \rightarrow e2 \rightarrow e1$ 」となる。

〈動作〉図12は、本発明の実施の形態2に係るアクセスの実行順序を適正化する方法のフローチャートを示す図である。

【0076】本発明の実施の形態2に係る画像復号システムにおいて、図8のように記憶された画像データから図10に示した参照画像を読み出す場合の読み出し順序を、図12に示したフローチャートを用いて説明する。

(1) アクセス情報受付部71が、アクセス情報を受け付ける(ステップS201)。ここでは、図10に示す参照画像を読み出す旨のアクセス情報を受け付けるものとする。

【0077】(2) 領域分割部721が、読み出すべき参照画像のアドレスが示すSDRAM8の記憶領域を単一ページ領域に分割する(ステップS202)。ここでは、図10に示す「 $a1, a2, b1, b2, c1, c2, d1, d2, e1, e2$ 」の単一ページ領域に分割する。

(3) 水平ページ境界検出部727が、水平ページ境界を検出する(ステップS203)。ここでは、図10に示すような水平ページ境界を検出する。

【0078】(4) 大小比較部728が、参照画像を水平方向のページ境界で分割した際の各記憶領域の大きさを比較する(ステップS204)。ここでは、右側の方が左側よりも小さいと判断する。

(5) 相対アクセス順序決定部723が垂直ページ境界以前の各ラインのアクセス順序を小さい記憶領域から先に読み出す順序に決定する(ステップS205: S207: No)。ここでは、右側が小さいので右側から先に読み出す順序に決定し、読み出し順序は「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1$ 」となる。

【0079】(6) SDRAM制御部73が、相対アクセス順序決定部723により決定された順序で、垂直ページ境界以前の各ラインがアクセスされるようにSDRAM8を制御する(ステップS206、S207: No)。ここでは、右側から先に読み出すようにSDRAM8を制御する。

(7) 垂直ページ境界検出部722が垂直ページ境界を検出して垂直ページクロス信号をSDRAM制御部73へ出力する(ステップS207: Yes、S208)。ここでは、「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1$ 」と読み出すように決定された後で図10に示すような垂直ページ境界を検出する。

【0080】(8) バンク判断部726が、画面サイズ

設定部724により設定された画面サイズとコンフィグレーション設定部725により設定された形状とに基づいて、垂直方向のページ境界を挟む単位領域が、同一バンクから成るか異なるバンクから成るかを判断する(ステップS209)。ここでは、画面サイズ「 $16 \times (2n+1)$ 」と、形状「横16画素×縦32画素の矩形領域」とに基づいて、図8に示すように異なるバンクから成ると判断する。

【0081】(9)垂直ページ境界を挟む単位領域が同一バンクから成る場合には、相対アクセス順序決定部723が垂直ページ境界以後のアクセス順序を垂直ページ境界以前のアクセス順序と同じにし、異なるバンクから成る場合には逆にする(ステップS210、S211)。ここでは、図8に示すように異なるバンクから成るので、アクセス順序を左側から先に読み出す順序に決定し、読み出し順序は「 $e1 \rightarrow e2$ 」となる。

【0082】(10)SDRAM制御部73が、相対アクセス順序決定部723により決定された順序で、垂直ページ境界以後の各ラインがアクセスされるようにSDRAM8を制御する(ステップS212)。ここでは、左側から先に読み出すようにSDRAM8を制御する。従って、全ての読み出し順序は「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1 \rightarrow e1 \rightarrow e2$ 」となる。

【0083】本発明の実施の形態2に係る画像復号システムにおいて、図9のように記憶された画像データから図11に示した参照画像を読み出す場合の読み出し順序を、図12に示したフローチャートを用いて説明する。

(1)ステップS201では、図11に示す参照画像を読み出す旨のアクセス情報を受け付けるものとする。

【0084】(2)ステップS202では、図11に示す「 $a1, a2, b1, b2, c1, c2, d1, d2, e1, e2$ 」の単一ページ領域に分割する。

(3)ステップS203では、図11に示すような水平ページ境界を検出する。

(4)ステップS204では、右側の方が左側よりも小さいと判断する。

【0085】(5)ステップS205:S207:Noでは、右側が小さいので右側から先に読み出す順序に決定し、読み出し順序は「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1$ 」となる。

(6)ステップS206、S207:Noでは、右側から先に読み出すようにSDRAM8を制御する。

【0086】(7)ステップS207:Yes、S208では、「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1$ 」と読み出すように決定された後で図11に示すような垂直ページ境界を検出する。

(8)ステップS209では、画面サイズ「 $16 \times 2n$ 」と、形状「横16画素×縦32画素の矩形領域」とに基づいて、図9に示すように同一バンクから成ると判断する。

【0087】(9)ステップS210、S211では、図9に示すように同一バンクから成るので、アクセス順序を右側から先に読み出す順序に決定し、読み出し順序は「 $e2 \rightarrow e1$ 」となる。

(10)ステップS212では、右側から先に読み出すようにSDRAM8を制御する。

【0088】従って、全ての読み出し順序は「 $a2 \rightarrow a1 \rightarrow b2 \rightarrow b1 \rightarrow c2 \rightarrow c1 \rightarrow d2 \rightarrow d1 \rightarrow e2 \rightarrow e1$ 」となる。図13(a)は、本発明の実施の形態2に係る画像復号システムにおいて、図8のように記憶された画像データから図10に示した参照画像を読み出す場合の読み出しタイミングを、動作クロック単位で示す図である。

【0089】図13(b)は、従来の画像復号システムにおいて、図8のように記憶された画像データから図10に示した参照画像を、アドレス順に読み出す場合の読み出しタイミングを、動作クロック単位で示す図である。図14は、本発明の実施の形態2に係る画像復号システムにおいて、図9のように記憶された画像データから図11に示した参照画像を読み出す場合の読み出しタイミングを、動作クロック単位で示す図である。

【0090】図13(a)(b)、図14においても、CASレーテンシは3、バースト長は8とする。ここでも図25と同様にCASレーテンシが3のなので、プリチャージ・コマンドの入力から1クロック後までのリード・データが有効であり、また、同一バンクに対するプリチャージ・コマンドとアクティブ・コマンドとの間隔、及び、アクティブ・コマンドとリード・コマンドとの間隔は、共に3クロック以上必要であるものとする。また、異なるバンクに対するアクティブ・コマンドの間隔も3クロック以上必要であるものとする。

【0091】図13(a)では全ての参照画像を読み出すのに53サイクル、図13(b)では全ての参照画像を読み出すのに58サイクル、図14では全ての参照画像を読み出すのに59サイクルを必要とする。

<変形例>図15は、データバスのビット幅が8ビットであり1カラムが8ビット、1ページが1028カラムの2つのバンク(バンク0とバンク1)を備えるSDRAM8に、1画素あたりのデータ量(例えば「輝度」を表す)が8ビットで、各単位領域が横32画素×縦32画素の矩形領域で、横方向の画素数が「 $16 \times (4n)$ 」の画像データを記憶する場合において、各画像データが記憶される記憶領域のバンクナンバーとページナンバーとを示す図である。ここで、「 n 」は1以上の整数とする。

【0092】図15では、図9と同じように、左右に隣接する単一ページの矩形領域のデータは異なるバンクに記憶されているが、上下に隣接する単一ページの矩形領域のデータは同一バンクに記憶されている。従って、この場合のアクセス順序は、図9の場合と同じにする。図

16は、記憶する画像データの横方向の画素数が「 $16 \times (4n+1)$ 」である点のみが図15と異なる。

【0093】この場合のアクセス順序は、垂直ページクロス信号の有無に関係なく、常に右から左とする。図17は、記憶する画像データの横方向の画素数が「 $16 \times (4n+2)$ 」である点のみが図15と異なる。図17では、図8と同じように、上下および左右に隣接する単一ページの矩形領域のデータは、異なるバンクに記憶されている。

【0094】従って、この場合のアクセス順序は、図8の場合と同じにする。図18は、記憶する画像データの横方向の画素数が「 $16 \times (4n+3)$ 」である点のみが図15と異なる。この場合のアクセス順序は、垂直ページクロス信号の有無に関係なく、常に左から右とする。

【0095】以上のように、本発明の実施の形態2に係るメモリ制御装置は、参照画像のアクセス順序を、同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように、又は、同一バンクで且つ異なるページの記憶領域に対して連続してアクセスする頻度が低くなるように適正化し、適正化したアクセス順序に従ってメモリの記憶領域がアクセスされるように制御する。

(実施の形態3)

<構成>図19は、実施の形態3に係るメモリ制御装置を用いた画像復号システムの構成を示す図である。

【0096】図19に示す実施の形態3の画像復号システムは、画像復号部1、差分画像バッファ2、参照画像バッファ3、ハーフペル補間部4、加算器5、画像出力部6、メモリ制御装置9、及び、SDRAM8で構成される。これらの画像復号システムの構成要素は、実施の形態2のメモリ制御装置7がメモリ制御装置9に置き換わっただけであり、メモリ制御装置以外の構成要素は、実施の形態2と全く同じものである。

【0097】メモリ制御装置9は、アクセス情報受付部71、アクセス順序適正化部91、及び、SDRAM制御部73から構成される。アクセス順序適正化部91は、領域分割部721、垂直ページ境界検出部722、画面サイズ設定部724、コンフィグレーション設定部725、バンク判断部726、水平ページ境界検出部727、大小比較部728、初期アクセス順序決定部729、アドレス変換部911、及び、順序逆転部912を含む。

【0098】これらのアクセス順序適正化部91の構成要素は、実施の形態2のアクセス順序適正化部72の構成要素から相対アクセス順序決定部723を削除し、アドレス変換部911、及び、順序逆転部912を追加したものである。これらの構成要素のうち、実施の形態2と同じ番号の構成要素は同様の機能を持つものとする。

【0099】アドレス変換部911は、実施の形態2のように生成された画像データを表示状態において連続す

る所定の順番で記憶した場合に、垂直方向のページ境界を挟む単位領域が同一バンクから成るとバンク判断部726が判断した場合には、異なるバンクから成るように、画像データの論理アドレスとSDRAM8の物理アドレスとを相互に変換する。図8に示す例では上下に隣接する単一ページの矩形領域のデータは異なるバンクに記憶されると判断されるので何もせず、図9に示す例では上下に隣接する単一ページの矩形領域のデータは同一バンクに記憶されると判断されるので画像データの論理アドレスとSDRAM8の物理アドレスとを相互に変換する。

【0100】より具体的には、図9のような場合に何もしないと、左右に隣接する単一ページの矩形領域のデータは異なるバンクに記憶されるが、上下に隣接する単一ページの矩形領域のデータは異なるバンクに記憶されないで、上下方向の1つおきに（例えば偶数列の）隣あうバンク0の記憶領域とバンク1の記憶領域とを入れ替える。

【0101】順序逆転部912は、垂直方向のページ境界以後の単一ページ領域のアクセス順序を、垂直方向のページ境界以前と逆にする。

<動作>図20は、データバスのビット幅が8ビットであり1カラムが8ビット、1ページが512カラムの2つのバンク（バンク0とバンク1）を備えるSDRAM8に、1画素あたりのデータ量（例えば「輝度」を表す）が8ビットで、各単位領域が横16画素×縦32画素の矩形領域で、横方向の画素数が「 $16 \times 2n$ 」の画像データを、アドレス変換部911がアドレスを変換して記憶する場合において、各画像データが記憶される記憶領域のバンクナンバーとページナンバーとを示す図である。ここで、「 n 」は1以上の整数とする。

【0102】この場合、アドレス変換部911では、垂直方向の画素位置に応じて、以下のようなアドレス変換を行なう。なお、「 m 」は1以上の整数とする。

a) $64(m-1) \leq \text{垂直方向の画素位置} \leq \{64(m-1) + 31\}$ は、アドレス変換なし。

b) $\{64(m-1) + 32\} \leq \text{垂直方向の画素位置} \leq \{64(m-1) + 63\}$ は、バンク0はバンク1に、バンク1はバンク0に変換することで、隣あうバンク0の記憶領域とバンク1の記憶領域とが入れ替わるようにアドレス変換を行なう。

【0103】なお、横方向の画素数が「 $16 \times (2n+1)$ 」の画像データの場合は、何もしなくても画像データの表示状態において上下および左右に隣接する単一ページの矩形領域のデータがSDRAM8の異なるバンクに記憶されるので、アドレス変換部911はアドレス変換を行なわない。従って、各画像データが記憶されるバンクナンバーの配置が、横方向の画素数が「 $16 \times 2n$ 」の画像データの場合には、「 $16 \times (2n+1)$ 」の画像データの場合と同じになり、読み出しタイミング

も同様になる為、実施の形態2で説明したように読み出し時間が59サイクルから53サイクルへと短くなる。

【0104】以上のように、本発明の実施の形態3に係るメモリ制御装置は、上下に隣接する単一ページの矩形領域のデータが同一バンクに記憶されないように、画像データの論理アドレスとSDRAM8の物理アドレスとを相互に変換し、さらに、参照画像のアクセス順序を、同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように、又は、同一バンクで且つ異なるページの記憶領域に対して連続してアクセスする頻度が低くなるように適正化し、適正化したアクセス順序に従ってメモリの記憶領域がアクセスされるように制御する。

【0105】なお、実施の形態2及び実施の形態3では、画像復号システムについての例を説明したが、画像符号化システム（ビデオエンコード装置）であっても同様である。

【0106】

【発明の効果】（A）本発明に係るメモリ制御装置は、複数のバンクに区分された記憶領域を有するメモリを制御する装置であって、前記複数のバンクはそれぞれ複数の分割バンクに分割され、前記メモリは同一バンクで且つ異なる分割バンクの記憶領域に対するアクセスが連続すると遅延が生じるものであり、複数の単位アクセスに分けてアクセスすべき2つ以上のバンクの記憶領域を示すアクセス情報を外部装置から受け付ける受付手段と、前記アクセス情報が示す各単位アクセスの記憶領域が区分される各バンクが同一であるか異なるかに基づいて各単位アクセスのアクセス順序を同一バンクの記憶領域に対して連続してアクセスする頻度が低くなるように適正化して決定する適正化手段と、前記メモリの記憶領域が適正化手段が適正化して決定したアクセス順序に従ってアクセスされるように前記メモリを制御する制御手段とを備えることを特徴とする。

【0107】これによって、同一バンクへの連続アクセスが発生する頻度を低下させることができる。従って、ブリーチャージ等によるオーバーヘッドが削減され、SDRAMの実効転送レートが向上する。

（B）ここで（A）において、前記適正化手段は、前記アクセス情報が示す各単位アクセスの記憶領域が区分される各バンク及び各分割バンクが同一であるか異なるかに基づいて各単位アクセス前記各単位アクセスのアクセス順序を同一バンクの記憶領域に対してではなく同一バンクで且つ異なる分割バンクの記憶領域に対して連続してアクセスする頻度が低くなるように適正化して決定することを特徴とすることもできる。

【0108】これによって、同一バンクかつ異なるページへの連続アクセスが発生する頻度を低下させることができる。

（C）ここで（A）において、前記外部装置は1つ以上の転送対象機器から成り、前記アクセス情報は前記転送

対象機器から発行される2つ以上の個別アクセス情報から成り、前記個別アクセス情報はそれぞれ1つ以上の単位アクセスから成り、前記適正化手段は、現在アクセス中又は先にアクセスされるべき先行個別アクセス情報において最後にアクセスされるべき末尾バンクを特定する末尾特定手段と、前記個別アクセス情報毎に最初にアクセスされるべき先頭バンクを特定する先頭特定手段と、末尾バンクと異なるバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域のアクセスを末尾バンクと同じバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域のアクセスよりも優先的に選択して前記先行個別アクセス情報が示す記憶領域のアクセスの直後の順序とする選択手段とを含むことを特徴とすることもできる。

【0109】これによって、2つ以上のアクセス情報を受け付けた場合に、先にアクセスされるべきアクセス情報において最後にアクセスされるべきバンクと、異なるバンクに対して最初にアクセスするアクセス情報を優先させることができる。

（D）ここで（C）において、前記末尾特定手段は、さらに、前記先行個別アクセス情報において最後にアクセスされるべき末尾分割バンクを特定し、前記先頭特定手段は、さらに、前記個別アクセス情報毎に最初にアクセスされるべき先頭分割バンクを特定し、前記選択手段は、末尾バンクと異なるバンクを示す先頭バンクに対応する個別アクセス情報が示す記憶領域及び末尾分割バンクと同一分割バンクを示す先頭分割バンクに対応する個別アクセス情報が示す記憶領域のアクセスを末尾バンクと同一バンクを示す先頭バンクに対応し且つ末尾分割バンクと異なる分割バンクを示す先頭分割バンクに対応する個別アクセス情報が示す記憶領域のアクセスよりも優先的に選択して前記先行個別アクセス情報が示す記憶領域のアクセスの直後の順序とすることを特徴とすることもできる。

【0110】これによって、2つ以上のアクセス情報を受け付けた場合に、先アクセスされるべきアクセス情報において、最後にアクセスされるべきバンクと異なるバンク、及び、最後にアクセスされるべきバンクと同一バンクで同一ページに対して最初にアクセスするアクセス情報を優先させることができる。

（E）ここで（C）及び（D）の何れかにおいて、前記個別アクセス情報はそれぞれ転送待ちの時間的な限度を示す限度情報を含み、前記選択手段は個別アクセス情報毎に限度情報が示す限度を越えそうであるか否かを判定し限度を越えそうであると判定した個別アクセス情報が示す記憶領域のアクセスを最優先で選択することを特徴とすることもできる。

【0111】これによって、アクセス情報毎に限度を越えそうであるか否かを判定し、越えそうなアクセス情報を最優先することができる。従って、アクセス情報毎の

リアルタイム性をある程度保証しつつ、プリチャージ等によるオーバーヘッドが削減され、SDRAMの実効転送レートが向上する。

【0112】(F)ここで(E)において、前記メモリはバンク毎に所定の1分割バンクのデータを保持する転送用アンプを備え、前記メモリの記憶領域へのアクセスは常に転送用アンプを介して行なわれるものであり、前記遅延は「転送用アンプに保持されたデータを直前のアクセス対象の1分割バンクへ転送するのに必要な時間」と「現在のアクセス対象の1分割バンクに記憶されたデータを転送用アンプへ転送するのに必要な時間」との合計であり、前記限度情報は個別アクセス情報が発行されてから転送が完了するまでに許されるサイクル数の限度を示すリミットサイクル数であり、前記選択手段は、個別アクセス情報毎に現時点から転送が完了するまでに許されるサイクル数の限度を示す残りサイクル数を保持する残りサイクル数保持手段と、個別アクセス情報が発行された時にリミットサイクル数を残りサイクル数の初期値として残りサイクル数保持手段に保持させる初期値設定手段と、残りサイクル数保持手段が保持する残りサイクル数を1サイクル毎に1つつ減算する減算手段と、個別アクセス情報毎に「(実行中のアクセスが完了するまでのサイクル数)+(優先的に選択された個別アクセス情報のアクセスに必要なサイクル数)+(転送用アンプに保持されたデータを所定の1分割バンクへ転送するのに必要なサイクル数)+(所定の1分割バンクに記憶されたデータを転送用アンプへ転送するのに必要なサイクル数)+(自身のアクセスに必要なサイクル数)=完了予定サイクル数」を実行中のアクセスが完了するまでに計算する計算手段と、「前記完了予定サイクル数>前記残りサイクル数」の場合に対応する個別アクセス情報が限度を越えそうであると判定する判定手段とを含むことを特徴とすることもできる。

【0113】これによって、アクセス情報毎に、リミットサイクル数を残りサイクル数の初期値とし1サイクル毎に1つつ減算して優先的に選択された他のアクセス情報によるアクセスに必要なサイクル数等と比較し、優先的に選択された他のアクセス情報によるアクセスの終了後に選択した場合に限度を越えないか否かを判定し、越えそうなアクセス情報を最優先することができる。

【0114】従って、アクセス情報毎のリアルタイム性を、他のアクセス情報によるアクセスの終了後に選択した場合においても保証しつつ、プリチャージ等によるオーバーヘッドが削減され、SDRAMの実効転送レートが向上する。

(G)ここで(E)において、前記メモリはバンク毎に所定の1分割バンクのデータを保持する転送用アンプを備え、前記メモリの記憶領域へのアクセスは常に転送用アンプを介して行なわれるものであり、前記遅延は「転送用アンプに保持されたデータを直前のアクセス対象の

1分割バンクへ転送するのに必要な時間」と「現在のアクセス対象の1分割バンクに記憶されたデータを転送用アンプへ転送するのに必要な時間」との合計であり、前記限度情報は個別アクセス情報が発行されてから転送が完了するまでに許されるサイクル数の限度を示すリミットサイクル数であり、前記選択手段は、個別アクセス情報毎にその個別アクセス情報が発行された時から1サイクル毎に待機サイクル数をカウントするカウント手段と、個別アクセス情報毎に「(前記待機サイクル数)+(実行中のアクセスが完了するまでのサイクル数)+(優先的に選択された個別アクセス情報のアクセスに必要なサイクル数)+(転送用アンプに保持されたデータを所定の1分割バンクへ転送するのに必要なサイクル数)+(所定の1分割バンクに記憶されたデータを転送用アンプへ転送するのに必要なサイクル数)+(自身のアクセスに必要なサイクル数)=完了予定サイクル数」を実行中のアクセスが完了するまでに計算する計算手段と、「前記完了予定サイクル数>前記リミットサイクル数」の場合に対応する個別アクセス情報が限度を越えそうであると判定する判定手段とを含むことを特徴とすることもできる。

【0115】これによって、アクセス情報毎に、待機サイクル数をカウントし、優先的に選択された他のアクセス情報によるアクセスの終了後であっても、限度を越えないか否かを判定し、越えそうなアクセス情報を最優先することができる。従って、アクセス情報毎のリアルタイム性を、他のアクセス情報によるアクセスの終了後に選択した場合においても保証しつつ、プリチャージ等によるオーバーヘッドが削減され、SDRAMの実効転送レートが向上する。

【0116】(H)ここで(A)において、前記外部装置は符合化された画像データを復号するビデオデコード装置又は画像データを符合化するビデオエンコード装置であり、生成された画像データは前記メモリに一時的に記憶され、前記メモリに記憶された画像データはその表示状態において連続する一部が新たな画像データを生成する為に読み出され、前記生成された画像データはそれぞれが単一分割バンクの記憶領域のみから成る前記メモリの単位領域に分散されて表示状態において連続する所定の順番で記憶され、記憶順序において隣接する単位領域は異なるバンク又は同一分割バンクから成り、前記アクセス情報は表示状態と記憶順序とにおいて隣接する単位領域に跨り且つ表示状態において隣接し記憶順序においては隣接しない単位領域に跨る記憶領域を示し新たな画像データを生成する為に前記ビデオデコード装置又は前記ビデオエンコード装置から発行され、前記適正化手段は、前記アクセス情報が示す記憶領域をそれぞれが単一分割バンクの記憶領域であり記憶領域が連続している単一分割バンク領域に分割する分割手段と、表示状態において隣接し記憶順序においては隣接しない単位領域の

境界を示す非隣接境界を検出する非隣接境界検出手段と、前記非隣接境界を挟む単位領域が同一バンクから成るか異なるバンクから成るかによって前記単一分割バンク領域のアクセス順序を決定する相対順序決定手段とを含むことを特徴とすることもできる。

【0117】これによって、非隣接境界を挟む単位領域が、同一バンクから成るか異なるバンクから成るかによって、単一ページ領域のアクセス順序を適正化することができる。

(I) ここで(H)において、前記相対順序決定手段は、前記非隣接境界以後の前記単一分割バンク領域のアクセス順序を前記非隣接境界を挟む単位領域が同一バンクから成る場合には前記非隣接境界以前と同じにし異なるバンクから成る場合にはその逆にすることを特徴とすることもできる。

【0118】これによって、非隣接境界以後の前記単一ページ領域のアクセス順序を、非隣接境界を挟む単位領域が同一バンクから成る場合には前記非隣接境界以前と同じにし、異なるバンクから成る場合にはその逆にすることで適正化することができる。

(J) ここで(H)において、前記相対順序決定手段の代わりに、前記生成された画像データを表示状態において連続する所定の順番で記憶した場合に前記非隣接境界を挟む単位領域が同一バンクから成る場合には異なるバンクから成るように前記画像データの論理アドレスと前記メモリの物理アドレスとを相互に変換するアドレス変換手段と、前記非隣接境界以後の前記単一分割バンク領域のアクセス順序を前記非隣接境界以前と逆にする順序逆転手段とを含むことを特徴とすることもできる。

【0119】これによって、生成された画像データを表示状態において連続する順番で記憶した場合に、非隣接境界を挟む単位領域が同一バンクから成る場合には、異なるバンクから成るように、画像データの論理アドレスとメモリの物理アドレスとを相互に変換することができる。従って、このような場合には、プリチャージ等によるオーバーヘッドがより削減され、SDRAMの実効転送レートが向上する。

【0120】(K) ここで(H)～(J)の何れかにおいて、前記適正化手段は、さらに、前記メモリに記憶される画像データにおいて記憶順序と表示状態とが連続する画素数を画面サイズとして設定する画面サイズ設定手段と、前記単位領域の形状を設定するコンフィグレーション設定手段と、前記画面サイズと前記形状とに基づいて前記生成された画像データを表示状態において連続する所定の順番で記憶した場合に前記非隣接境界を挟む単位領域が同一バンクから成るか異なるバンクから成るかを判断するバンク判断手段を含むことを特徴とすることもできる。

【0121】これによって、画像データの画面サイズと単位領域の形状とに基づいて、生成された画像データを

表示状態において連続する順番で記憶した場合に、隣接境界を挟む単位領域が同一バンクから成るか異なるバンクから成るかを判断することができる。従って、画像データの画面サイズや単位領域の形状に応じて、プリチャージ等によるオーバーヘッドが削減され、SDRAMの実効転送レートが向上する。

【0122】(L) ここで(H)～(K)の何れかにおいて、前記適正化手段は、さらに、表示状態と記憶順序とにおいて隣接する単位領域の境界を示す隣接境界を検出する隣接境界検出手段と、前記アクセス情報が示す記憶領域を前記隣接境界で分割した際の各記憶領域の大きさを比較する比較手段と、前記非隣接境界以前の前記単一分割バンク領域のアクセス順序を比較手段の比較において小さいと判断された記憶領域に属する単一分割バンク領域から先に読み出す順序とする初期順序決定手段とを含むことを特徴とすることもできる。

【0123】これによって、記非隣接境界以前の単一ページ領域のアクセス順序を、小さい記憶領域に属する単一ページ領域から先に読み出す順序とすることができる。従って、プリチャージ等によるオーバーヘッドがより削減され、SDRAMの実効転送レートが向上する。

(M) 本発明に係るコンピュータ読み取り可能な記憶媒体は、コンピュータを(A)～(L)の何れかに記載のメモリ制御装置として機能させるためのプログラムを記録することを特徴とする。

【0124】これによって、それぞれ(A)～(L)と同様の効果が得られる。

【図面の簡単な説明】

【図1】SDRAMを制御する実施の形態1のメモリシステムの構成を示す図である。

【図2】アービター10の詳細な構成を示す図である。

【図3】選択部105の構成の一例を示す図である。

【図4】選択部105の構成の別の一例を示す図である。

【図5】本発明の実施の形態1に係るアクセスの実行順序を適正化する方法のフローチャートを示す図である。

【図6】本発明の実施の形態1に係るメモリシステムにおいて、図24に示すような各データ転送が、各転送対象ユニットから同時に要求された場合の転送順序を、動作クロック単位で示す図である。

【図7】実施の形態2に係るメモリ制御装置を用いた画像復号システム(ビデオデコード装置)の構成を示す図である。

【図8】各画像データが記憶される記憶領域のバンクナンバーとページナンバーとを示す図である。

【図9】記憶する画像データの横方向の画素数が「 $16 \times 2n$ 」である点のみが異なる、図8と同様な図である。

【図10】図8に示すようなSDRAM8に記憶された画像データから読み出される参照画像の一例である。

【図11】図9に示すようなSDRAM8に記憶された画像データから読み出される参照画像の一例である。

【図12】本発明の実施の形態2に係るアクセスの実行順序を適正化する方法のフローチャートを示す図である。

【図13】図13(a)は、本発明の実施の形態2に係る画像復号システムにおいて、図8のように記憶された画像データから図10に示した参照画像を読み出す場合の読み出しタイミングを、動作クロック単位で示す図である。図13(b)は、従来の画像復号システムにおいて、図8のように記憶された画像データから図10に示した参照画像を、アドレス順に読み出す場合の読み出しタイミングを、動作クロック単位で示す図である。

【図14】本発明の実施の形態2に係る画像復号システムにおいて、図9のように記憶された画像データから図11に示した参照画像を読み出す場合の読み出しタイミングを、動作クロック単位で示す図である。

【図15】各画像データが記憶される記憶領域のバンクナンバーとページナンバーとを示す図である。

【図16】記憶する画像データの横方向の画素数が「 $16 \times (4n+1)$ 」である点のみが図15と異なる図である。

【図17】記憶する画像データの横方向の画素数が「 $16 \times (4n+2)$ 」である点のみが図15と異なる図である。

【図18】記憶する画像データの横方向の画素数が「 $16 \times (4n+3)$ 」である点のみが図15と異なる図である。

【図19】実施の形態3に係るメモリ制御装置を用いた画像復号システムの構成を示す図である。

【図20】各画像データが記憶される記憶領域のバンクナンバーとページナンバーとを示す図である。

【図21】一般的なSDRAMの記憶領域を示す図である。

【図22】一般的なSDRAMの状態遷移図である。

【図23】SDRAMを制御する従来のメモリシステムの構成を示す図である。

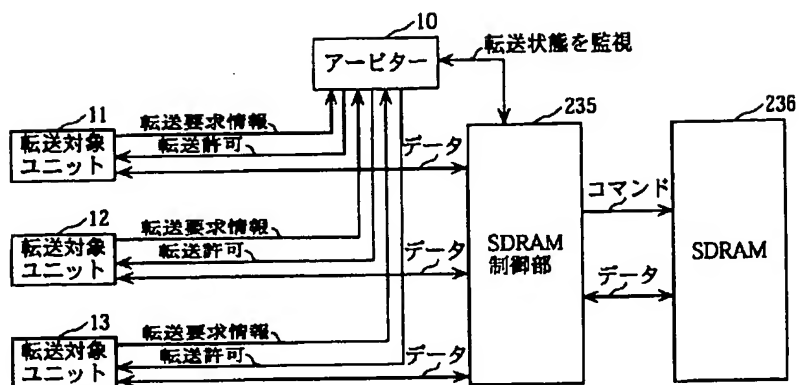
【図24】各転送対象ユニットが要求するデータ転送によりアクセスされるカラムが含まれるページの番号と、そのページが属するバンクの番号とを、アクセスされる順にカラム単位で示す図である。

【図25】図24に示すような各データ転送が、各転送対象ユニットから同時に要求された場合の転送順序を、動作クロック単位で示す図である。

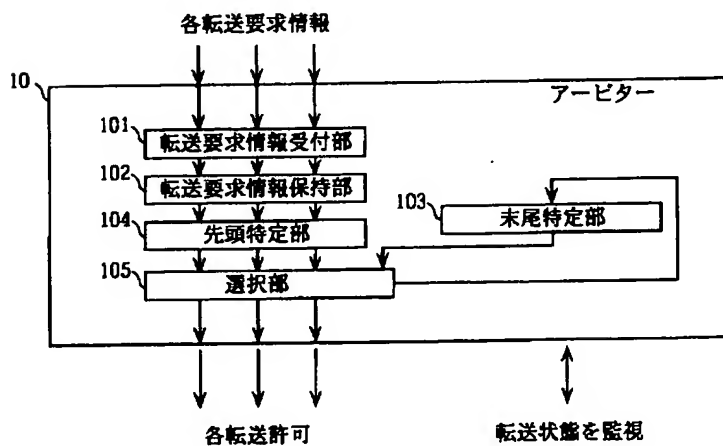
【符合の説明】

1	画像復号部
2	差分画像バッファ
3	参照画像バッファ
4	ハーフペル補間部
5	加算器
6	画像出力部
7	メモリ制御装置
8	SDRAM
9	メモリ制御装置
10	アービター
11~13	転送対象ユニット
71	アクセス情報受付部
72	アクセス順序適正化部
73	SDRAM制御部
91	アクセス順序適正化部
101	転送要求情報受付部
102	転送要求情報保持部
103	末尾特定部
104	アービター
104	先頭特定部
105	最終アクセスバンク保持手段
105	選択部
105a	サイクル数保持部
105b	初期値設定部
105c	減算部
105d	計算部
105e	判定部
105f	カウント部
105g	計算部
105h	判定部
231~233	転送対象ユニット
234	アービター
235	SDRAM制御部
236	SDRAM
721	領域分割部
722	垂直ページ境界検出部
723	相対アクセス順序決定部
724	画面サイズ設定部
725	コンフィグレーション設定部
726	バンク判断部
727	水平ページ境界検出部
728	大小比較部
729	初期アクセス順序決定部
911	アドレス変換部
912	順序逆転部

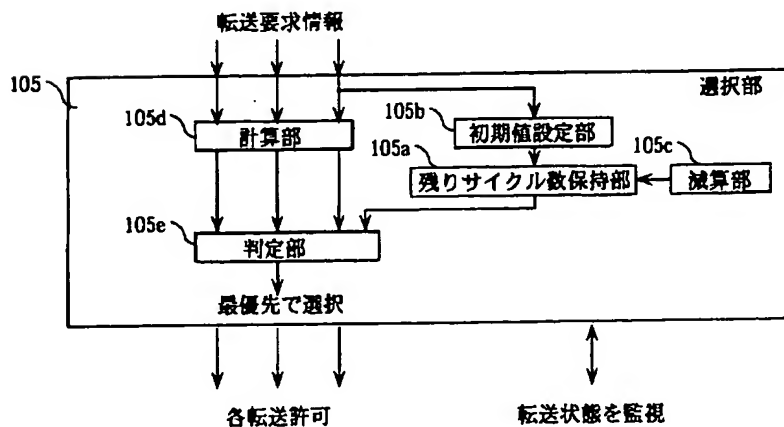
【図1】



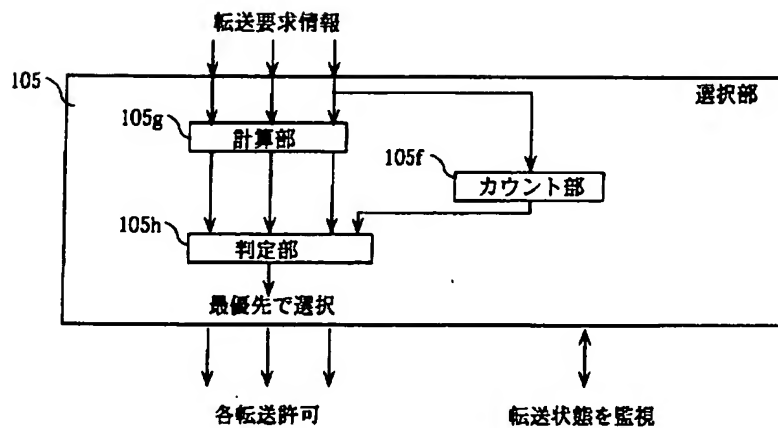
【図2】



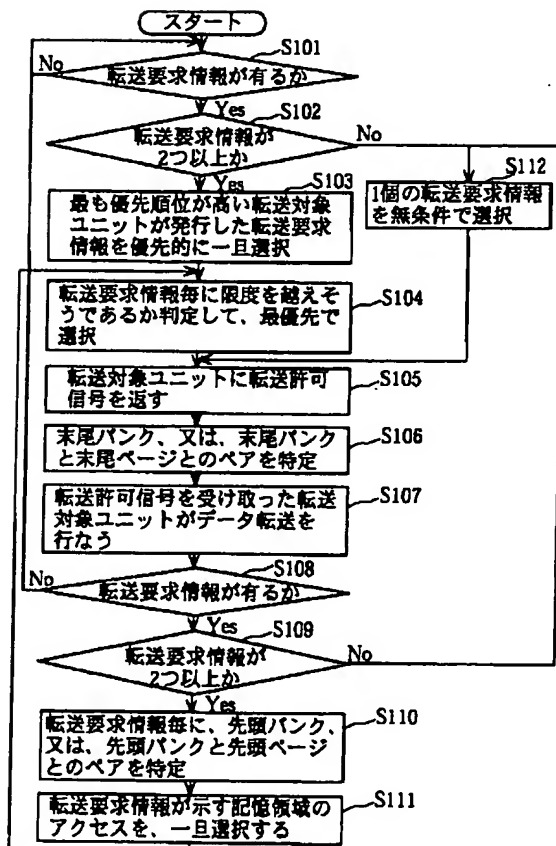
【図3】



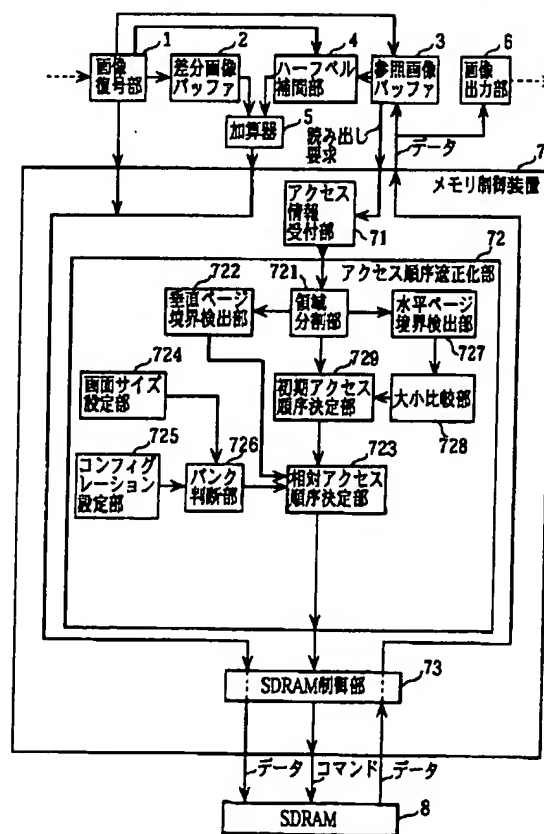
【図4】



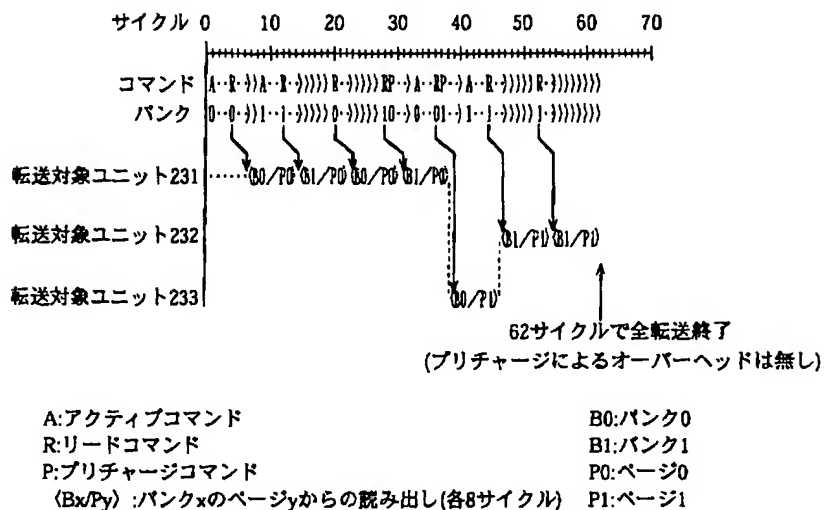
【図5】



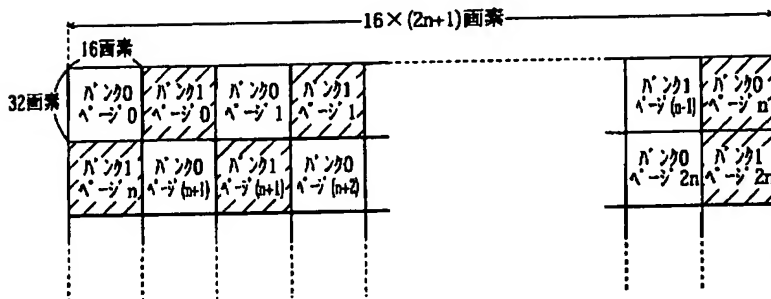
【図7】



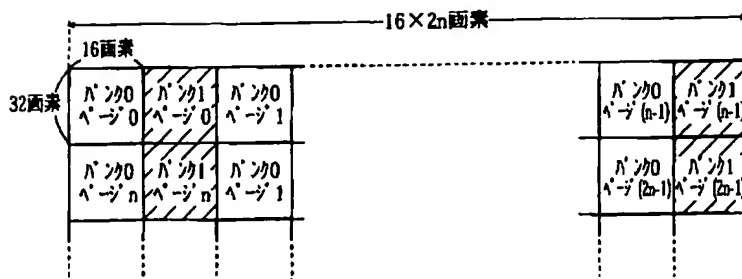
【図6】



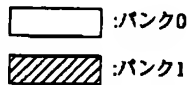
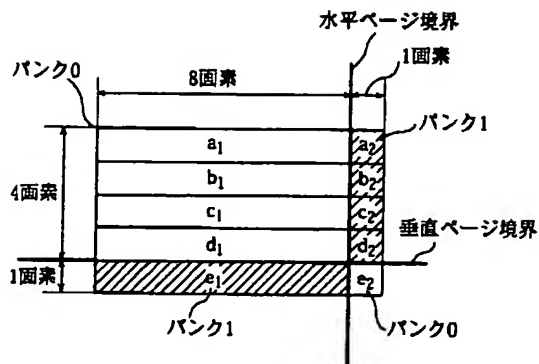
【図8】



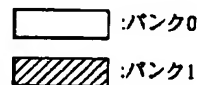
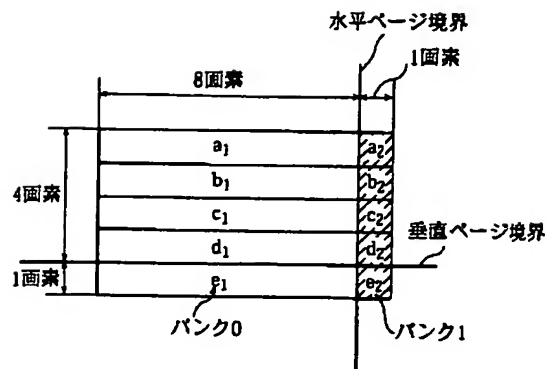
【图9】



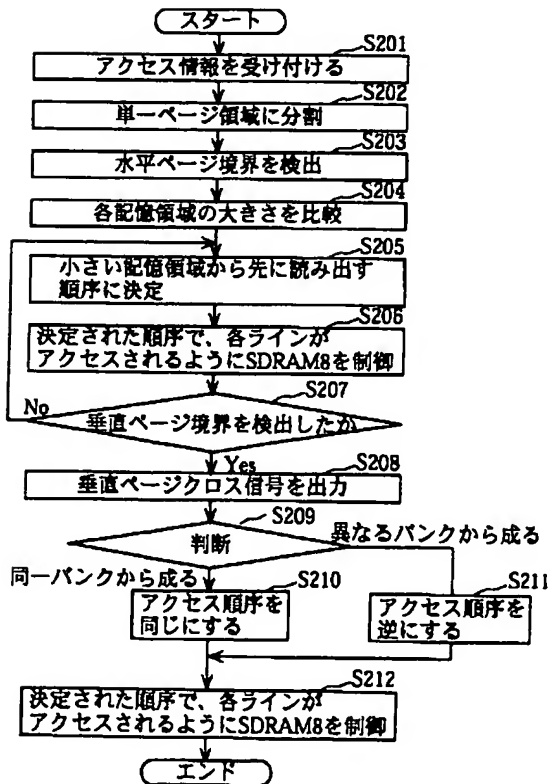
【図10】



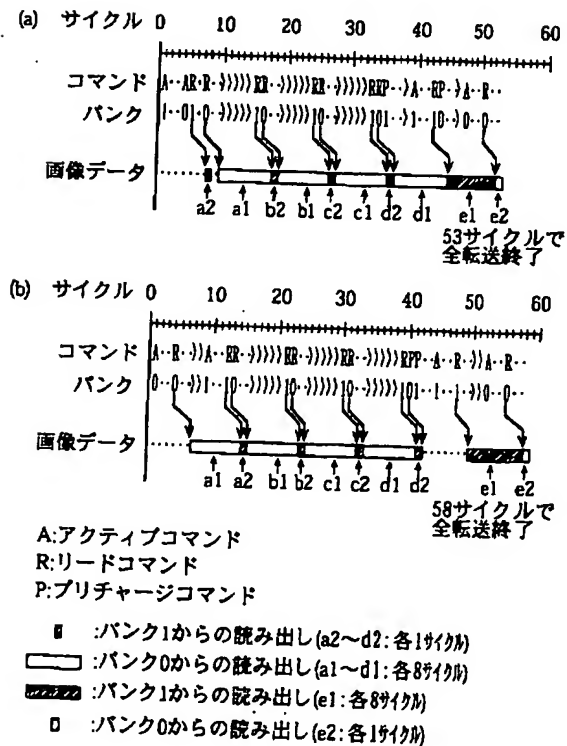
【図11】



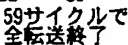
【図12】



【図13】



【图 14】



R:リードコマンド

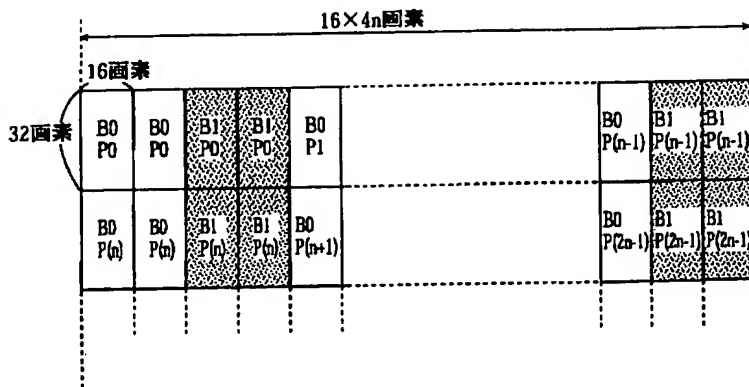
P・プリチャージワ

P:プリチャージコマンド

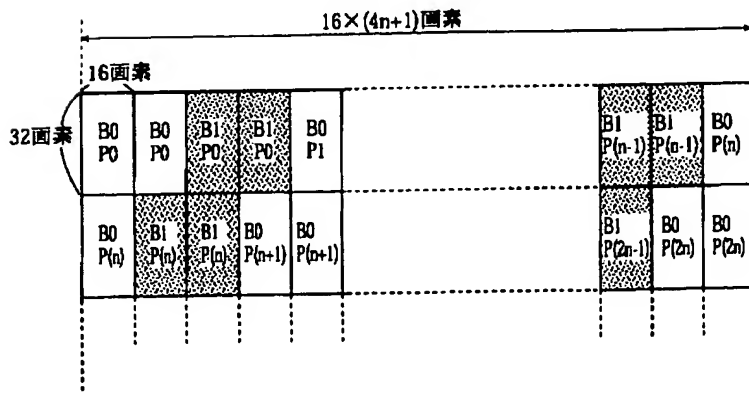
■ :バンク1からの読み出し(a2~e2:各1サイクル)

□ :バンク0からの読み出し(a1~e1:各8サイクル)

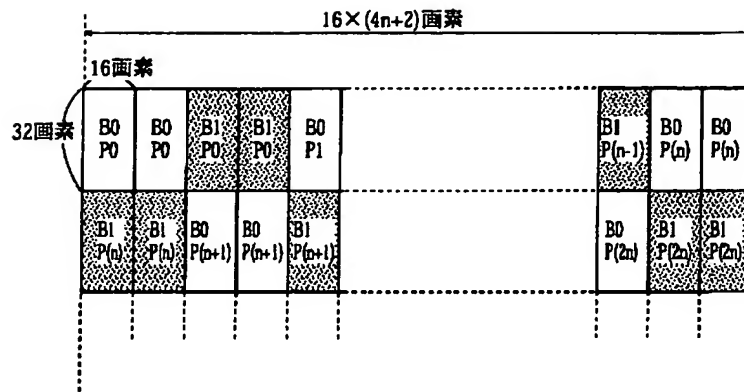
【图15】



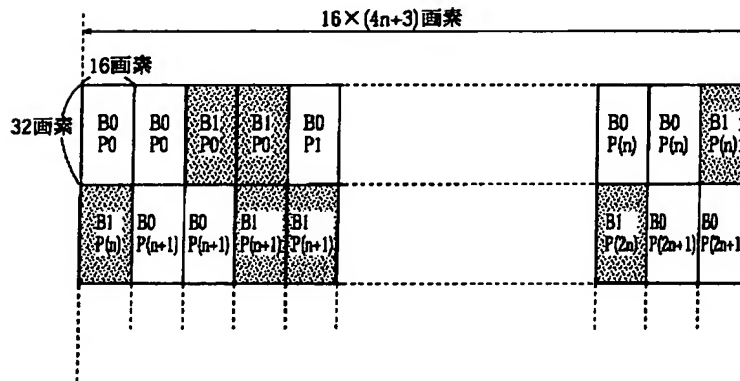
【図16】



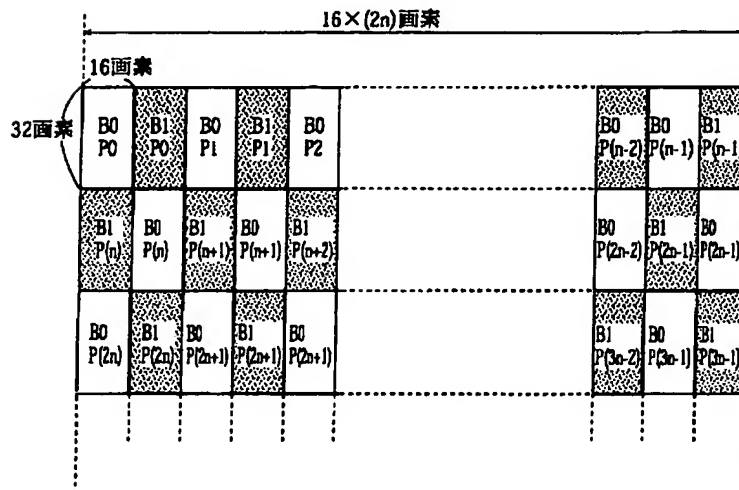
【図17】



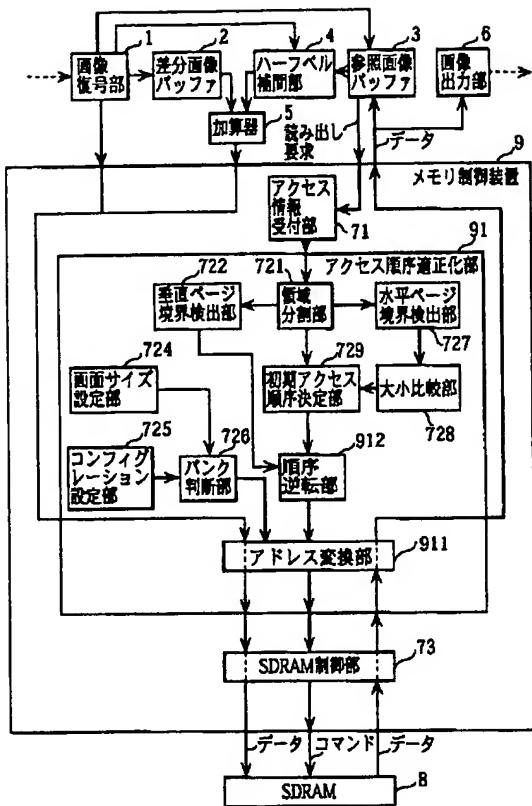
【図18】



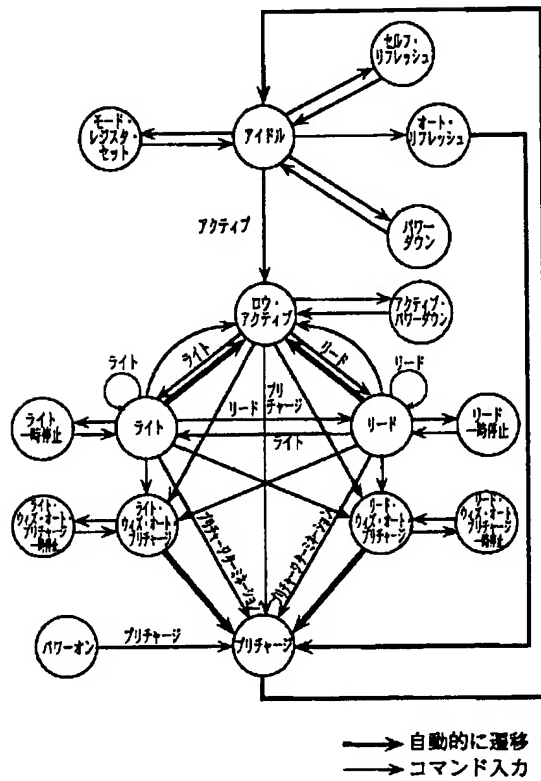
【図20】



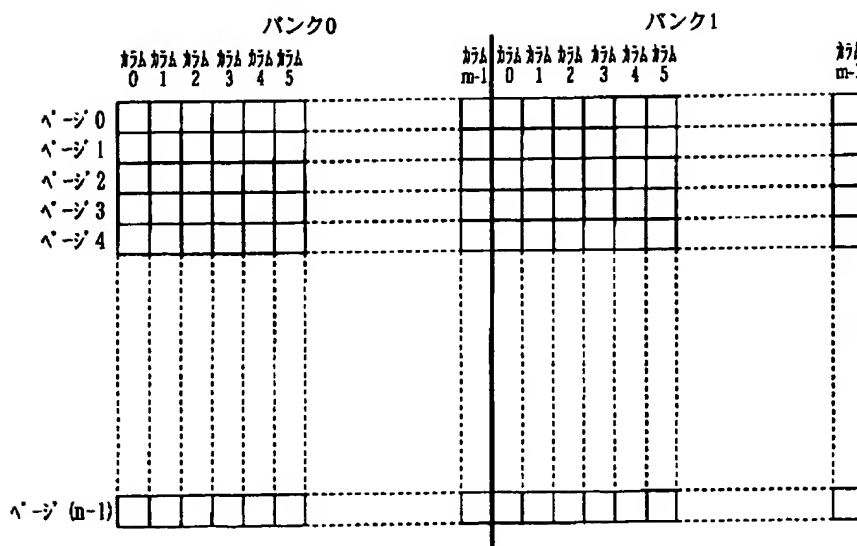
【図19】



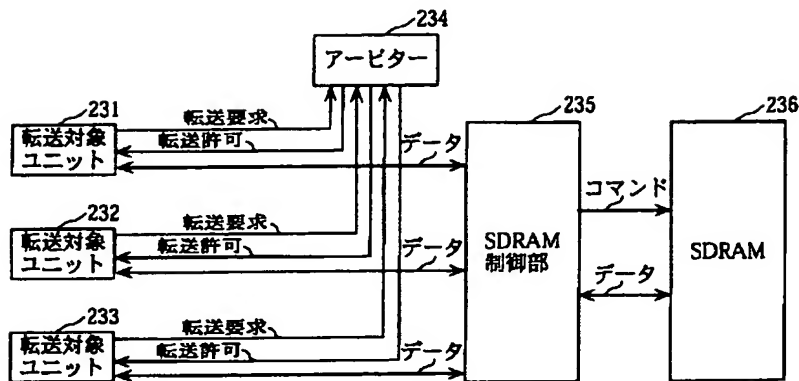
【図22】



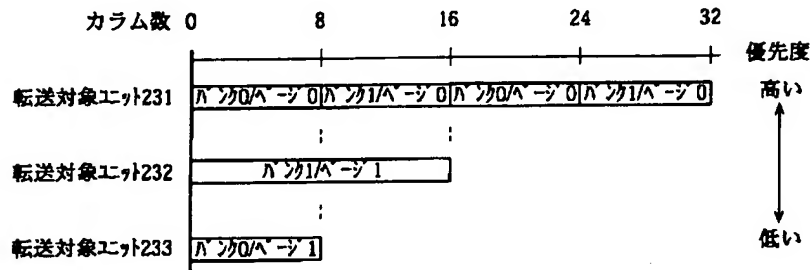
【図21】



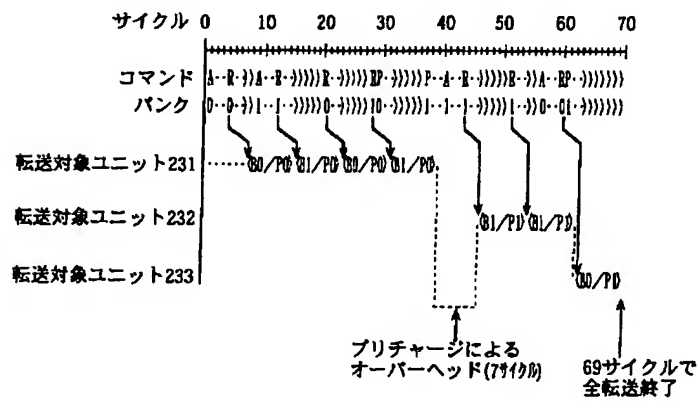
【図23】



【図24】



【図25】



A: アクティブコマンド

B0: バンク0

R: リードコマンド

B1: バンク1

P: プリチャージコマンド

P0: ページ0

(Bx/Py): バンクxのページyからの読み出し(各8サイクル) P1: ページ1

フロントページの続き

(72)発明者 平井 誠
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 清原 督三
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 西田 英志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B047 EA01 EA05 EB02
5B060 AB19 AB26 AC13 CD01